

THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of : Hiroshi TOMONAGA et al.

Filed : Concurrently herewith

For : PACKET SWITCH

Serial No. : Concurrently herewith

August 22, 2000

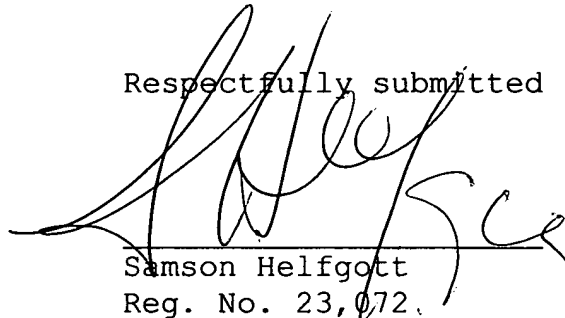
Assistant Commissioner of Patents
Washington, D.C. 20231

SUBMISSION OF PRIORITY DOCUMENT

S I R:

Attached herewith is Japanese patent application No.
11-235596 of August 23, 1999 whose priority has been claimed in
the present application.

Respectfully submitted



Samson Helfgott
Reg. No. 23,072.

HELFGOTT & KARAS, P.C.
60th FLOOR
EMPIRE STATE BUILDING
NEW YORK, NY 10118
DOCKET NO.:FUJY17.696
LHH:priority

Filed Via Express Mail
Rec. No.: EL522338187US
On: August 22, 2000
By: Lydia Gonzalez

Any fee due as a result of this
paper, not covered by an enclosed
check may be charged on Deposit Acct.
No. 08-1634.

#3
10-27-00

JC846 U.S. PTO
09/643566
08/22/00

op1020

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
in this Office.

出 願 年 月 日
Date of Application:

1999年 8月23日

願 番 号
Application Number:

平成11年特許願第235596号

願 人
Applicant(s):

富士通株式会社

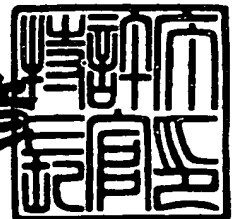


CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 6月16日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3045888

【書類名】	特許願
【整理番号】	9900785
【提出日】	平成11年 8月23日
【あて先】	特許庁長官殿
【国際特許分類】	H04L 12/48
【発明の名称】	パケットスイッチ装置
【請求項の数】	22
【発明者】	
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内
【氏名】	朝永 博
【発明者】	
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内
【氏名】	松岡 直樹
【発明者】	
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内
【氏名】	瓦井 健一
【発明者】	
【住所又は居所】	神奈川県川崎市中原区上小田中4丁目1番1号富士通株式会社内
【氏名】	加藤 次雄
【特許出願人】	
【識別番号】	000005223
【氏名又は名称】	富士通株式会社
【代理人】	
【識別番号】	100089244
【弁理士】	

【氏名又は名称】 遠山 勉

【選任した代理人】

【識別番号】 100090516

【弁理士】

【氏名又は名称】 松倉 秀実

【連絡先】 0 3 - 3 6 6 9 - 6 5 7 1

【手数料の表示】

【予納台帳番号】 012092

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9705606

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パケットスイッチ装置

【特許請求の範囲】

【請求項 1】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

前記パケットバッファメモリ手段のアドレスを複数パケット分の固定長ブロックに分け、アドレス管理をブロック単位に行うアドレス管理手段と；

を備えることを特徴とするパケットスイッチ装置。

【請求項 2】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ

リ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

複数の出力回線にマルチキャストするために、一旦マルチキャスト用のメモリに前記パケットを書き込み、それをマルチキャスト数読み出して、それぞれを所望の F I F O メモリに振り分けを行うとき、振り分けは実際の前記パケットでなくアドレスのみで行うことを論理的に実現するために、振り分け後のアドレス毎にマルチキャスト数とそのアドレスとを保持し、前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段と；

を備えることを特徴とするパケットスイッチ装置。

【請求項 3】 前記アドレス管理手段は、更にブロック内でどのシーケンス番号のどのアドレスがマルチキャストを完了したかを示すフラグにより管理することを特徴とする請求項 1 記載のパケットスイッチ装置。

【請求項 4】 前記パケットバッファメモリ手段は、バーストアクセス時のみ高速アクセス可能な大容量メモリを前段に、高速ランダムアクセス可能なメモリを後段に配し、通常は後段のメモリのみ使用し、後段メモリが一杯になったときは前段メモリに一時的に保持し、後段メモリに空きができた時点で移し替えることを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 5】 前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、アクセスが低速な大容量メモリを平行に後段に配し、後段メモリへの書き込み動作は、前段メモリから平行に行い、後段メモリの読み出し動作は競合が起こらないキューのみを選択して読み出しを行うことを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 6】 前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、バーストアクセス時のみ高速アクセス可能な大容量メモリを用いた待ち合わせキューを後段に配し、後段メモリへの書き込み動作は、前段メモリに複数パケット溜まった時点でまとめて行い、後段メモリの読み出し動作は、複数パケットまとめて行うことを特徴とす

る請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 7】 前記パケットバッファメモリ手段は、複数の入力回線の固定長パケットを 1 つの入力回線上に確定的に時分割多重し、多重前の入力回線毎にメモリを平行に配置し、書き込み及び読み出しを各メモリで平行に行うことを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 8】 前記共通スイッチ手段は、ビットスライス構成であり、スライスされた少なくとも 1 つのスイッチ手段を冗長に持つことにより、スライスされたスイッチ手段毎の保守・故障時の切り替えを可能とすることを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 9】 前記パケットバッファメモリ手段は、前記共通スイッチ手段の入力側及び出力側においてそれぞれ二重化され、出力側配置の前記パケットバッファメモリ手段へのデータ分配は予め前記共通スイッチ手段に設定した方路に基づいて行うことにより、保守・故障時の切り替えを可能とすることを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 10】 前記第 1 及び第 2 のポインタの制御手段と前記要求管理制御手段と前記スケジューリング処理手段とを含むスケジューラを分散配置し、かつ前記入力バッファメモリ手段を含む入力バッファ部の隣接する前記入力バッファ部間のスケジューリング情報を選択するためのスイッチ手段を更に設け、保守・故障時の切り替えを可能とすることを特徴とする請求項 1 または 2 記載のパケットスイッチ装置。

【請求項 11】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；

前記パケットバッファメモリ手段は、バーストアクセス時のみ高速アクセス可能な大容量メモリを前段に、高速ランダムアクセス可能なメモリを後段に配し、通常は後段のメモリのみ使用し、後段メモリが一杯になったときは前段メモリに一時的に保持し、後段メモリに空きができた時点で移し替えることを特徴とするパケットスイッチ装置。

【請求項 1 2】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；

前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、アクセスが低速な大容量メモリを平行に後段に配し、後段メモリへの書き込み動作は、前段メモリから平行に行

い、後段メモリの読み出し動作は競合が起こらないキューのみを選択して読み出しを行うことを特徴とするパケットスイッチ装置。

【請求項 1 3】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；

前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、バーストアクセス時のみ高速アクセス可能な大容量メモリを用いた待ち合わせキューを後段に配し、後段メモリへの書き込み動作は、前段メモリに複数パケット溜まった時点でまとめて行い、後段メモリの読み出し動作は、複数パケットまとめて行うことを特徴とするパケットスイッチ装置。

【請求項 1 4】 出力回線対応の論理的なキューを有する入力バッファメモリ手段と；

スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；

スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；

所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；

複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；

複数の固定長パケットを一時的に保持し順次に出力するパケットバッファメモリ手段と；

前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；

前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；

前記パケットバッファメモリ手段は、複数の入力回線の固定長パケットを 1 つの入力回線上に確定的に時分割多重し、多重前の入力回線毎にメモリを平行に配置し、書き込み及び読み出しを各メモリで平行に行うことを特徴とするパケットスイッチ装置。

【請求項 1 5】 前記共通スイッチ手段は、ビットスライス構成であり、スライスされた少なくとも 1 つのスイッチ手段を冗長に持つことにより、スライスされたスイッチ手段毎の保守・故障時の切り替えを可能とすることを特徴とする請求項 1 1， 1 2， 1 3 または 1 4 記載のパケットスイッチ装置。

【請求項 1 6】 前記パケットバッファメモリ手段は、前記共通スイッチ手段の入力側及び出力側においてそれぞれ二重化され、出力側配置の前記パケットバッファメモリ手段へのデータ分配は予め前記共通スイッチ手段に設定した方路に基づいて行うことにより、保守・故障時の切り替えを可能とすることを特徴とする請求項 1 1， 1 2， 1 3， 1 4 または 1 5 記載のパケットスイッチ装置。

【請求項 1 7】 前記第 1 及び第 2 のポインタの制御手段と前記要求管理制御手段と前記スケジューリング処理手段とを含むスケジューラを分散配置し、かつ前記入力バッファメモリ手段を含む入力バッファ部の隣接する前記入力バッファ部間のスケジューリング情報を選択するためのスイッチ手段を更に設け、保守・故障時の切り替えを可能とすることを特徴とする請求項 1 1， 1 2， 1 3， 1 4， 1 5 または 1 6 記載のパケットスイッチ装置。

【請求項 1 8】 ある一定速度でスケジューリング処理を行うスケジューリン

グ処理手段と；

入力回線速度分のスケジューリング速度で求められるパケットスロット時間を計測する第 1 のタイマ処理手段と；

出力回線速度分のスケジューリング速度で求められるパケットスロット時間を計測する第 2 のタイマ処理部とを備え；

ある入力回線に対するスケジューリング処理が行われたとき、前記第 1 のタイマ処理手段が計測を開始し、以降前記第 1 のタイマ処理手段が所定時間を計測する間は、その入力回線に対するスケジューリング処理を停止し、入力回線速度に応じたスケジューリングを実現することを特徴とするパケットスイッチ装置。

【請求項 1 9】 ある出力回線に対する確定が行われたとき、その出力回線に対する前記第 2 のタイマ処理手段の計測を開始し、以降前記第 2 のタイマ処理手段が所定時間を計測する間は、同一出力回線に対する確定を停止し、同一出力回線へのトラヒック流を出力回線速度以下に抑えることを特徴とする請求項 1 8 記載のパケットスイッチ装置。

【請求項 2 0】 前記第 1 及び第 2 のタイマ処理手段の計測開始契機をスケジューリング時あるいは確定時とせずに、固定的な時間間隔とすることを特徴とする請求項 1 8 記載のパケットスイッチ装置。

【請求項 2 1】 パイプライン的にスケジューリング処理を行う際、スケジューリング速度と入力回線速度との比に基づく前後 N 段のパイプライン処理の該当入力回線に対するスケジューリングを停止し、入力回線速度に応じたスケジューリングを実現することを特徴とする請求項 1 8 記載のパケットスイッチ装置。

【請求項 2 2】 前記第 2 のタイマ処理手段は、パイプライン的にスケジューリング処理を行う際、パイプライン番号と出力回線番号とに基づきパイプライン処理毎に独立に制御し、各パイプライン処理内で所定の間隔を守ること、平均的に各出力回線速度に応じたスケジューリングを実現することを特徴とする請求項 1 8 記載のパケットスイッチ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は広帯域交換機、クロスコネクトスイッチ装置、及びルータ装置などに適用され、固定長パケット（セル）を伝送（特に、限定しないときは、伝達及び転送を含む）するパケットスイッチ装置に関し、特に大規模パケットスイッチ装置の一構成法である入力バッファ型や入出力バッファ型スイッチ装置に関する。

【 0 0 0 2 】

【従来の技術】

近年、インターネットの爆発的な普及や大容量・高品質な情報を扱うメディアの登場により、大容量データを柔軟に扱うことのできる大規模な通信ネットワークインフラの整備に期待が寄せられている。そして、実現の鍵となる数百ギガ～数テラオーダのスイッチング容量を持つ広帯域交換機に関心が集まっている。

【 0 0 0 3 】

この交換機などに適用され、固定長パケットを伝送するパケットスイッチ装置において、入力方路（入力回線：HW）毎にF I F O型の単一の入力バッファメモリを有する基本的な入力バッファ型スイッチ（図 1 参照）は、H O L (Head of Line)ブロッキングの問題があり、スループットが5 8 . 6 %までしか上がらないことが知られている。このH O Lブロッキングを回避する手法として、入力バッファ部の各入力バッファメモリを論理的に出力方路（出力回線）対応のキューに分割し、所定のアルゴリズムに従って送出権をスケジューリングすることが知られている（図 2 参照）。

【 0 0 0 4 】

これにより、入力バッファ部の動作速度を低減し、汎用メモリを使用した大容量入力バッファ部の構築が可能となる。また、共通スイッチ部となるコアスイッチ（C o r e S w i t c h）はバッファレスであり、ハードウェアを極小化でき、またスケジューラ（S c h e d u l e r）は分散パイプライン構成により動作速度を低減できる（図 3 参照）。

【 0 0 0 5 】

ここで、入力バッファメモリは論理出力方路キュー間で共用して使用されるため、キュー毎の使用アドレスを管理する必要があるが、入力バッファメモリが大容量になると、アドレス管理メモリ（F I F O）も大きくなる（図 4 参照）。従来

、このアドレス管理メモリの容量削減のために、ポインタを用いたアドレスリンク方式が知られている（図 5 参照）。

【0006】

入力バッファ部を構成するための汎用メモリとしては、比較的小容量だが高速でランダムアクセス可能な S R A M と、大容量だが高速でアクセスするためにはバーストアクセスが必要な D R A M とがある。パケット（セル）バッファメモリを D R A M により大容量化する場合、パケット長の範囲でバーストアクセスを可能にしている（図 6 参照）。

【0007】

また、冗長構成としては、共通装置には二重化構成を採り、ブロック毎に交絡を設け、セレクタを通して切り替えを行うことにより、装置の信頼性を上げている（図 7 参照）。入力バッファ部においては、全てのパッケージカードで同一速度により読み出しを行っている。

【0008】

【発明が解決しようとする課題】

さらに、サービスの多様化に伴って、低速から高速の様々な速度のインタフェースが提供されている。このような回線速度の異なるインタフェースを共通のルータ装置やクロスコネクトスイッチ装置に効率よく混在收容することが望まれている。

【0009】

従来の混在收容の手法では、複数の低速回線を多重化してルータ装置やクロスコネクトスイッチ装置のポート速度まで速度を上げて收容するものや、回線インタフェースに備えられるバッファメモリで速度変換を行って混在收容を行っていた。しかし、前者は、比較的少ない回線インタフェースを收容する場合でも、一旦高速多重化するためのパケット多重部（M U X）が必要となり、また後者は、比較的安価に提供できる低速インタフェースに高速なバッファメモリが必要であった。

【0010】

メモリのアドレス管理については、アドレスリンク手法を用いる場合でも、バ

ッファメモリ容量分のアドレス管理メモリが必要になる。これに対し、バッファメモリ領域の一部をアドレス管理メモリとして使用する手法があるが、この手法では、パケットバッファメモリのアクセス数が増えてしまい、高速アクセスのボトルネックになる（図 8 参照）。

【 0 0 1 1 】

また、マルチキャスト機能を実現する場合、複数の論理出方路キューで同一のパケットバッファメモリを使用することになるため、アドレスリンクが形成できず、アドレスリンク手法が適用できなかった（図 9 参照）。

【 0 0 1 2 】

パケットバッファメモリについては、メモリを可能な限り高速に使おうとすると、パラレル化する必要がある。しかし、パケットを処理するためのパラレル度はパケット長で制限される。例えば、ATM（非同期転送モード）では 5 3 b y t e である。その時、全ビットパラレルで処理すると、一回のアクセスで全データを読むことになる。このように、パラレル度を増やした場合、DRAMでのバーストアクセスは適用できなくなり、高速アクセスを不可能にする（図 1 0 参照）。

【 0 0 1 3 】

入力バッファ部の冗長構成については、二重化構成を採るため、ハードウェア量及びブロック間接続数が共に 2 倍となり、コストアップになる。ここで、コストダウンのために、N + 1 冗長構成の採用が考えられるが、入力バッファ部の後段配置の共通スイッチ部（コアスイッチ）全体で 1 つの固まりであり、この冗長構成の適用は難しかった。

【 0 0 1 4 】

また、スケジューラを各入力バッファ部に分散配置する場合、スケジューリング情報の伝達路がリング状に接続されるため、入力バッファ部間のパッケージカードの一枚を抜いてしまうと、伝達情報が途切れてしまうことを免れない（図 1 1 参照）。

【 0 0 1 5 】

本発明の第 1 の課題は、メモリアドレスをブロック単位で管理し、ブロック内

の個別のアドレスは書き込み時または読み出し時にキュー毎に与えることでメモリ量を削減することが可能なパケットスイッチ装置を提供することにある。

【 0 0 1 6 】

本発明の第 2 の課題は、少数の回線収容時でも必要となっていたパケット多重部 (M U X) や低速インタフェースにおける高速バッファメモリの配置を不要とし、低速から高速まで全ての回線インタフェースを混在収容することを可能にするパケットスイッチ装置を提供することにある。

【 0 0 1 7 】

本発明の第 3 の課題は、高速アクセスを実現しつつ大容量のパケット (セル) バッファメモリを構成することができるパケットスイッチ装置を提供することにある。

【 0 0 1 8 】

本発明の第 4 の課題は、出力側のパケット多重分離部 (D M U X) における所要バッファメモリ量を削減することを可能にするパケットスイッチ装置を提供することにある。

【 0 0 1 9 】

【課題を解決するための手段】

上記課題を解決するために、本発明のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量のパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；前記パケットバッファメモリ手段のアドレスを複数パケット分の固定長ブロックに分け、アドレス管理をブロック単位に行うアドレス管理手段とを備える。

【 0 0 2 0 】

この構成において、前記アドレス管理手段は、更にブロック内でどのシーケンス番号のどのアドレスがマルチキャストを完了したかを示すフラグにより管理することもできる。

【 0 0 2 1 】

また、本発明のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量するパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；複数の出力回線にマルチキャストするために、一旦マルチキャスト用のメモリに前記パケットを書き込み、それをマルチキャスト数読み出して、それぞれを所望の F I F O メモリに振り分けを行うとき、振り分けは実際の前記パケットでなくアドレスのみで行うことを論理的に実現するために、振り分け後のアドレス毎にマルチキャスト数とそのアドレスとを保持し、前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備える。

【 0 0 2 2 】

上記各パケットスイッチ装置において、前記パケットバッファメモリ手段は、バーストアクセス時のみ高速アクセス可能な大容量メモリを前段に、高速ランダムアクセス可能なメモリを後段に配し、通常は後段のメモリのみ使用し、後段メモリが一杯になったときは前段メモリに一時的に保持し、後段メモリに空きができた時点で移し替える。

【 0 0 2 3 】

また、前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、アクセスが低速な大容量メモリを

パラレルに後段に配し、後段メモリへの書き込み動作は、前段メモリからパラレルに行い、後段メモリの読み出し動作は競合が起こらないキューのみを選択して読み出しを行う。

【0 0 2 4】

また、前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、バーストアクセス時のみ高速アクセス可能な大容量メモリを用いた待ち合わせキューを後段に配し、後段メモリへの書き込み動作は、前段メモリに複数パケット溜まった時点でまとめて行い、後段メモリの読み出し動作は、複数パケットまとめて行う。

【0 0 2 5】

さらに、前記パケットバッファメモリ手段は、複数の入力回線の固定長パケットを1つの入力回線上に確定的に時分割多重し、多重前の入力回線毎にメモリをパラレルに配置し、書き込み及び読み出しを各メモリでパラレルに行うことができる。

【0 0 2 6】

また、前記共通スイッチ手段は、ビットスライス構成であり、スライスされた少なくとも1つのスイッチ手段を冗長に持つことにより、スライスされたスイッチ手段毎の保守・故障時の切り替えを可能とする。

【0 0 2 7】

また、前記パケットバッファメモリ手段は、前記共通スイッチ手段の入力側及び出力側においてそれぞれ二重化され、出力側配置の前記パケットバッファメモリ手段へのデータ分配は予め前記共通スイッチ手段に設定した方路に基づいて行うことにより、保守・故障時の切り替えを可能とする。

【0 0 2 8】

また、前記第1及び第2のポインタの制御手段と前記要求管理制御手段と前記スケジューリング処理手段とを含むスケジューラを分散配置し、かつ前記入力バッファメモリ手段を含む入力バッファ部の隣接する前記入力バッファ部間のスケジューリング情報を選択するためのスイッチ手段を更に設け、保守・故障時の切り替えを可能とする。

【 0 0 2 9 】

本発明の他のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量のパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；前記パケットバッファメモリ手段は、バーストアクセス時のみ高速アクセス可能な大容量メモリを前段に、高速ランダムアクセス可能なメモリを後段に配し、通常は後段のメモリのみ使用し、後段メモリが一杯になったときは前段メモリに一時的に保持し、後段メモリに空きができた時点で移し替える。

【 0 0 3 0 】

本発明の他のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポインタの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量のパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、アクセスが低速な大容量メモリを平行に後段に配し、後段メモリへの書き込み動作は、前段メモリから平行に行い

、後段メモリの読み出し動作は競合が起こらないキューのみを選択して読み出しを行う。

【 0 0 3 1 】

本発明の他のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポイントの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポイントの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポイントが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量のパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；前記パケットバッファメモリ手段は、高速ランダムアクセス可能な小容量メモリを用いた待ち合わせキューを前段に、バーストアクセス時のみ高速アクセス可能な大容量メモリを用いた待ち合わせキューを後段に配し、後段メモリへの書き込み動作は、前段メモリに複数パケット溜まった時点でまとめて行い、後段メモリの読み出し動作は、複数パケットまとめて行う。

【 0 0 3 2 】

本発明の他のパケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と；スケジューリング開始入力回線を示す第 1 のポイントの制御手段と；スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポイントの制御手段と；所望の出力回線に対する送出要求情報を保持する要求管理制御手段と；複数の送出要求情報の中から前記第 2 のポイントが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と；複数の固定長パケットを一時的に保持し順次に出力量のパケットバッファメモリ手段と；前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングする共通スイッチ手段と；前記パケットバッファメモリ手段のアドレス管理を行うアドレス管理手段とを備え；前

記パケットバッファメモリ手段は、複数の入力回線の固定長パケットを1つの入力回線上に確定的に時分割多重し、多重前の入力回線毎にメモリを平行に配置し、書き込み及び読み出しを各メモリで平行に行う。

【 0 0 3 3 】

上記本発明の他のパケットスイッチ装置のそれぞれの構成において、前記共通スイッチ手段は、ビットスライス構成であり、スライスされた少なくとも1つのスイッチ手段を冗長に持つことにより、スライスされたスイッチ手段毎の保守・故障時の切り替えを可能とする。

【 0 0 3 4 】

また、前記パケットバッファメモリ手段は、前記共通スイッチ手段の入力側及び出力側においてそれぞれ二重化され、出力側配置の前記パケットバッファメモリ手段へのデータ分配は予め前記共通スイッチ手段に設定した方路に基づいて行うことにより、保守・故障時の切り替えを可能とする。

【 0 0 3 5 】

また、前記第1及び第2のポインタの制御手段と前記要求管理制御手段と前記スケジューリング処理手段とを含むスケジューラを分散配置し、かつ前記入力バッファメモリ手段を含む入力バッファ部の隣接する前記入力バッファ部間のスケジューリング情報を選択するためのスイッチ手段を更に設け、保守・故障時の切り替えを可能とする。

【 0 0 3 6 】

本発明の別のパケットスイッチ装置は、ある一定速度でスケジューリング処理を行うスケジューリング処理手段と；入力回線速度分のスケジューリング速度で求められるパケットスロット時間を計測する第1のタイマ処理手段と；出力回線速度分のスケジューリング速度で求められるパケットスロット時間を計測する第2のタイマ処理部とを備え；ある入力回線に対するスケジューリング処理が行われたとき、前記第1のタイマ処理手段が計測を開始し、以降前記第1のタイマ処理手段が所定時間を計測する間は、その入力回線に対するスケジューリング処理を停止し、入力回線速度に応じたスケジューリングを実現する。

【 0 0 3 7 】

この構成において、ある出力回線に対する確定が行われたとき、その出力回線に対する前記第 2 のタイマ処理手段の計測を開始し、以降前記第 2 のタイマ処理手段が所定時間を計測する間は、同一出力回線に対する確定を停止し、同一出力回線へのトラヒック流を出力回線速度以下に抑える。

【 0 0 3 8 】

また、前記第 1 及び第 2 のタイマ処理手段の計測開始契機をスケジューリング時あるいは確定時とせずに、固定的な時間間隔とする。

さらに、パイプライン的にスケジューリング処理を行う際、スケジューリング速度と入力回線速度との比に基づく前後 N 段のパイプライン処理の該当入力回線に対するスケジューリングを停止し、入力回線速度に応じたスケジューリングを実現する。

【 0 0 3 9 】

前記第 2 のタイマ処理手段は、パイプライン的にスケジューリング処理を行う際、パイプライン番号と出力回線番号とに基づきパイプライン処理毎に独立に制御し、各パイプライン処理内で所定の間隔を守ること、平均的に各出力回線速度に応じたスケジューリングを実現する。

【 0 0 4 0 】

【発明の実施の形態】

次に、本発明の実施の形態について図面を参照して説明する。

〔パケットスイッチ装置のアドレス管理構成〕

本発明の一実施の形態のパケットスイッチ装置において、メモリアドレスについては、アドレスをブロック単位で管理し、ブロック内の個別のアドレスは書き込み時または読み出し時にキュー毎に与えることでメモリ量を削減する。

【 0 0 4 1 】

図 1 2 にブロック単位のアドレス管理手法を示す。アドレス管理メモリ 1 2 を構成する空きアドレスブロック管理メモリ（単に、空きアドレス F I F O と記載することもある）1 2 1 及び論理出方路アドレス管理（読出アドレスブロック管理）メモリ（単に、論理出方路または読出アドレス F I F O と記載することもある）1 2 2 は、それぞれブロック番号を管理する。また、論理出方路対応に、ブ

ロック内アドレスを示すシーケンスナンバー（SN）管理ポインタPNTを、書き込み・読み出し用にそれぞれ用意する。

【0042】

書き込み時は、該当する論理出方路キューの書込ブロックアドレスと書込シーケンスナンバー（SN）とにより書込アドレスを発行し、書込SNをインクリメントする。読み出し時は、該当する論理出方路キューの読出ブロックアドレスと読出シーケンスナンバー（SN）とにより読出アドレスを発行し、読出SNをインクリメントする。

【0043】

読み出し時または書き込み時において、読出SNまたは書込SNが一周したら、次のブロックアドレスを獲得する。これにより、例えば1ブロックを10パケットとすれば、アドレス管理メモリ12の容量を1/10に削減することができる。ここで、読出SN及び書込SNと読出ブロックアドレス及び書込ブロックアドレスとは出方路数に対応して用意すればよく、メモリ増加量は小さい。しかも、アドレスリンク方式を採る場合、そもそも出方路対応にスタートポインタ及びエンドポインタを用意する必要があり、この数とSN及びブロックアドレスのメモリ量とは同一であるため、メモリ量の増加は発生しない。

【0044】

アドレスリンク方式におけるマルチキャスト（MC）実現手法について図13を参照して説明する。マルチキャストは入力するマルチキャストパケットを一旦マルチキャストキューに格納し、それを各出方路の論理出方路キューに振り分けることで実現する。ここで、バッファメモリ（セルバッファメモリ131）のアクセス速度を抑えるため、パケット自体は振り分けを行わず、アドレスのみ各論理出方路アドレスFIFO132に振り分ける。論理出方路アドレスFIFO132はアドレスリンクにより構成されているため、異なる論理出方路のアドレスFIFOは同一のアドレスを使用できない。

【0045】

そこで、振り分け時には新たに空きアドレスFIFO133よりアドレスを取得することとし、そのアドレスと実際にパケットが格納されているアドレスとの

対応をとるためのバッファアドレステーブル 1 3 4 を用意し、振り分け時にこのテーブル 1 3 4 を設定しておく。読み出し時には、バッファアドレステーブル 1 3 4 で示されるアドレスよりパケットを読み出すことで、マルチキャストを実現することができる。

【0 0 4 6】

ここで、バッファアドレステーブル 1 3 4 の同一バッファアドレスに対し、指定された全出方路へのマルチキャスト読み出しが終了しない限りは、読出アドレスを空きアドレス F I F O 1 3 3 に返却できない。そこで、読み出し数を管理するためのマルチキャスト数管理テーブル（ビットマップ） 1 3 5 をバッファアドレス対応に用意し、全方路への読み出しが終了した時点で読出アドレスを返却する。この手法はアドレスリンクを適用しない場合も同様である。

【0 0 4 7】

次に、アドレスをブロック管理するときのマルチキャスト手法について図 1 4 を参照して説明する。基本的には、図 1 3 を参照して説明したマルチキャスト手法と同様であるが、アドレスがブロック管理されているため、振り分け時のアドレスは書込ブロックアドレスと書込 S N とから取得する。また、ブロックアドレスの空きアドレス F I F O 1 3 3 への返却は、同一ブロックに含まれるアドレスのマルチキャストが全て終了しないといけない。そこで、ブロックアドレス毎に、各 S N の読み出しが終了したかどうかを管理するためのマルチキャスト数管理テーブル 1 3 6 を持ち、全 S N への読み出しが終わった時点でブロックアドレスを返却する。これにより、ブロックアドレス管理でのマルチキャストを実現することができる。

【0 0 4 8】

〔パケット（セル）バッファメモリ構成〕

パケット（セル）バッファメモリを構成するために、大容量の D R A M をバックアップとして使用した例を図 1 5 に示す。このセルバッファメモリ 1 5 は通常、小容量の S R A M で構成する入力バッファメモリ 1 5 1 を用い、入力回線 I H W からのセル（パケット）のバッファリングを行うが、S R A M が一杯になった場合、一時的に D R A M で構成する入力バッファメモリ 1 5 2 にバーストアクセ

スで入力回線 I H Wからのセルデータを保持する。S R A Mにバースト長分の空きが生じた時点で、D R A MからS R A Mに動作を移し替える。これにより、高速アクセスを実現しつつ大容量のセルバッファメモリ 1 5を構成することができる。

【 0 0 4 9 】

また、セルバッファメモリを構成するために、S R A Mの入力バッファメモリを入力回線 I H Wからのセルの一時保持用として使用した例を図 1 6に示す。入力回線 I H Wからのセルは、論理出方路キュー毎にS R A Mで構成する一時保持用の入力バッファメモリ 1 6 1に格納され、キュー毎にバースト数分溜まった時点で大容量のD R A Mで構成する入力バッファメモリ 1 6 2にセルデータを移し替える。D R A Mからの読み出しは、バースト数分（複数パケット（セル）分）まとめて行う。これにより、高速アクセスを実現しつつ大容量のセルバッファメモリ 1 6を構成することができる。

【 0 0 5 0 】

ここで、負荷の低いケースでは、前段のS R A Mにバースト数分のセルデータが溜まるのに時間がかかる可能性がある。これに対し、タイマを設け規定時間を超えたら溜まる前に後段のD R A Mに書き込んでしまう方法と、前段のS R A Mもスケジューリング対象とし、その時点で溜まっているセルデータを読み出してしまう方法により対処可能である。

【 0 0 5 1 】

セルバッファメモリを構成するために、複数のD R A Mを平行に配置した例を図 1 7に示す。使用するD R A Mは論理出方路対応で分け、例えば全部で 1 2 8 個の回線対応の出方路の場合は、回線 0 - 3 1 対応の出方路は論理出方路キュー R A M 0、回線 3 2 - 6 3 対応の出方路は論理出方路キュー R A M 1、回線 6 4 - 9 5 対応の出方路は論理出方路キュー R A M 2、及び回線 9 6 - 1 2 7 対応の出方路は論理出方路キュー R A M 3に割り当てる。

【 0 0 5 2 】

入力バッファメモリ 1 7 2を構成するD R A Mの前段には、一時保持用の入力バッファメモリ 1 7 1を構成するS R A Mが同じ割り当てで平行に用意され

る。入力したセルは、論理出方路に対応する S R A M に書き込まれ、一つずつパラレル配置の D R A M に移し替えられる。D R A M からの読み出しは、スケジューリング時に分割 R A M 間でぶつからないように割り当てる。つまり、ある回線が選択されたら、その後 3 回は、スケジューラがその回線と同一の R A M を使用している回線を対象としない。これにより、高速アクセスを実現しつつ大容量セルバッファメモリ 1 7 を構成することができる。

【 0 0 5 3 】

セルバッファメモリを構成するために、出力回線 O H W 上に確定的な位置にセルを時分割多重した場合の例を図 1 8 に示す。この構成は図 1 7 に示した構成に類似しているが、あらかじめ確定的に分離されているため、パラレル化した D R A M 1 8 2 に対応するセルが連続で到着することはない。よって、前段配置の S R A M が不要になる。その代わり、パラレル化された各 D R A M 1 8 2 から任意の出方路に出力されるため、それぞれの D R A M 1 8 2 を論理出方路キューに分割する必要がある。これにより、高速アクセスを実現しつつ大容量セルバッファメモリ 1 8 を構成することができる。

【 0 0 5 4 】

〔冗長構成〕

スイッチ部のコアスイッチの冗長構成例を図 1 9 に示す。スイッチ部 1 9 1 のコアスイッチ 1 9 1 1 について $N + 1$ ビットスライスで構成した場合、同一のスライススイッチ 1 9 1 1 が複数 (N 個 = 1 6) 並列に配置されることになる。このスライススイッチ 1 9 1 1 を 1 つあるいは複数余計に用意することにより、切り替えが可能となる。切り替えは、入力バッファ部 1 9 2 の任意のビットにおいて N 個の現用系スライススイッチから冗長 (予備系) スライススイッチ 1 9 1 2 に出力することを選択するセレクタ 1 9 2 1 と、入力バッファ部 1 9 2 の受け側で各ビットが冗長スライススイッチ 1 9 1 2 からのデータかを選択するセレクタ 1 9 2 2, 1 9 2 3 とを用意することで可能となる。

【 0 0 5 5 】

また、それぞれセレクタを任意のビットから任意のスライススイッチに切り替えできるようにすると、どのスライススイッチが冗長スライススイッチかを意識

することなく切り替えることも可能である。

【0056】

入力バッファ部のパケット（セル）バッファメモリ202の冗長構成を図20に示す。送信回線側及び受信回線側については対向の二重化装置との関係で二重化したいケースもあるが、スイッチ部201のコアスイッチが $N+1$ 冗長構成であるため、交絡を設けられない。そこで、コアスイッチにコピー機能を設けておき、現用（ACT）系からの入力セルのみを、スイッチ部201に通すことで、二重化することができる。スイッチ部201のコピー方法は、セルにコピー制御ビットを付与する方法と、スイッチ部自体に設定する方法とがある。

【0057】

スケジューリング情報の切り替え構成を図21に示す。入力バッファ部のパッケージ化されたパケットバッファメモリ211を抜いてもスケジューリング情報の受け渡しができるように、パケットバッファメモリ211対応にバイパススイッチ（スケジューリング情報切替部）212を設ける。そして、バイパスするときは、パケット（セル）バッファメモリ211における制御遅延分を加味することにより、途中で動作を止めることなく切り替えることが可能になる。

【0058】

図21におけるバイパススイッチ212の詳細構成例を示す図22を参照すると、バイパススイッチ212には隣接バイパススイッチ及び入力バッファ部からの2系統のスケジューリング信号が入力される。それぞれのスケジューリング信号の同期信号を同期信号抽出部2120、2121で抽出し、図示省略の制御部からの基準フレーム信号との位相差を位相差検出部2122、2123で検出する。その結果を位相調整バッファ2124、2125の読出制御部2126、2127に通知し、位相差を吸収する。

【0059】

また、タイミング調整部2128において基準フレーム信号に同期した上記制御部からの切替信号によって、出力スケジューリング信号の切替えをセレクタ2129により行う。スケジューリング信号の同期信号としては、フレーム信号の並走や周期的な同期パターン（例えば、固定パターンやCRC）などがある。書

込制御部 2 1 3 0, 2 1 3 1 は位相調整バッファ 2 1 2 4, 2 1 2 5 へのスケジュールリング信号の書き込みを制御する。

【 0 0 6 0 】

図 2 3 に上記バイパススイッチ 2 1 2 の動作例を示す。

- (a) 初期状態では、基準フレーム信号に従いセクタ 2 1 2 9 を通してでループを構成する。
- (b) 入力バッファ部を構成する新しいパッケージが組み込まれると、まず入力バッファ部においてスケジュールリング信号のフレーム検出により、同期確立を行う。
- (c) 次に、バイパススイッチ 2 1 2 において、入力バッファ部側についてスケジュールリング信号のフレーム検出により、同期確立を行う。
- (d) 同期確立後、バイパススイッチ 2 1 2 のセクタ 2 1 2 9 を切り替えることにより、増設した入力バッファ部のスケジュールリング信号が送出される。
- (e) 入力バッファ部を構成する新しいパッケージを更に増設するときは、同様の手順を踏む。
- (f) パッケージの取り替えは、バイパススイッチ 2 1 2 のセクタ 2 1 2 9 の切替後に行う。

【 0 0 6 1 】

〔第 1 のスケジューラの構成・動作〕

本発明の一実施の形態のパケットスイッチ装置における入力バッファ部のスケジューラの構成を示す図 2 4 を参照すると、要求管理部 2 2 1 は入力バッファメモリから通知される送出要求数を管理する。第 1 のタイマ処理部 (1) 2 2 2 は自己入力回線 I H W に対するスケジュールリング周期を計測する。第 2 のタイマ処理部 (2) 2 2 3 は各論理出方路対応に備えられ、その出力回線に対するスケジュールリング割り当ての周期を計測する。スケジュールリング処理部 2 2 4 はタイマ処理部 (1) 2 2 2 でスケジュールリング可能と判断されたときにスケジュールリング処理を行い、要求管理部 2 2 1 に送出要求のある出力回線で、かつタイマ処理部 (2) 2 2 3 で割り当て可能と指示された出方路のなかからスケジュールリングアルゴリズムに従って出方路を確定するものである。各スケジューラ 2 2 は入力

回線（入力方路）IHW対応に設けられる。

【0062】

この構成において、ある入力回線に対するスケジューリング処理を行ったとき、タイマ処理部（1）222において、所定時間（スケジューリング速度／入力回線速度）の計測を開始する。そして、所定時間が経過するまでは、スケジューリング処理部224に対してスケジューリング処理不可の停止指示を行って入力回線速度以上の速度でスケジューリングを行わないようにする。したがって、スケジューラ22から入力バッファメモリに対して送出要求を通知する契機も入力回線速度となり、その結果、低速回線インタフェースには高速な入力バッファメモリが不要となる（動作例1）。

【0063】

また、ある入力回線のスケジューリング処理過程において、ある出力回線（出方路）OHWが確定されたとき、タイマ処理部（2）223において、所定時間（スケジューリング速度／出力回線速度）の計測を開始する。そして、所定時間が経過するまでは、スケジューリング処理部224に対して、その出力回線に対する割り当て不可の停止指示を行って、出力回線速度以上でスケジューリングが行われないようにしている。したがって、スケジューラ22が入力バッファメモリに対して、その出力回線に送出せよという指示の周期も、出力回線速度以下となり、その結果、出力回線に対してその回線速度以上のトラヒック流入を抑止でき、大容量の入力バッファメモリが不要となる（動作例2）。

【0064】

スケジューリング周期が1単位時間では完結せず、数単位時間かけてパイプライン処理を行う際に、上記動作例1で説明した動作を行うために、あるパイプライン処理段のある入力回線のスケジューリング処理が行われたとき、そのパイプライン処理段の前後N（スケジューリング速度／入力回線速度）段のスケジューラに対して、その入力回線に対するスケジューリング処理不可を指示する。この結果、スケジューラから入力バッファメモリに対して行われる読み出し指示が入力回線速度以上で行われることを抑制できる（動作例3）。

【0065】

また、スケジューリング周期が 1 単位時間では完結せず、数単位時間かけてパイプライン処理を行う際に、上記動作例 2 で説明した動作を行うために、あるパイプライン処理段のある入力回線のスケジューリング処理において、ある出力回線が確定されたとき、そのパイプライン段のスケジューラ 2 2 に対して、 N （スケジューリング速度／出力回線速度）パイプライン周期の間、その出力回線に対する割り当て不可を指示する。この結果、出力回線に対してその回線速度以上のトラヒック流が流入しなくなり、大容量の入力バッファメモリが不要となる（動作例 4）。

【 0 0 6 6 】

タイマ処理部（1）2 2 2 及びタイマ処理部（2）2 2 3 の計測契機を周期的に行うようにし、タイマ処理部 2 2 2，2 2 3 の負荷軽減を図る。この結果、上記動作例 2 及び 4 に比べると、出力トラヒック流のバースト性が強まる傾向にあるが、タイマ処理部の負荷軽減を図るとともに、周期的にスケジューリングまたは割り当て許可の指示が現れるため、他のスケジューラにどの出力回線が確定不可であるかを通知する必要がなく、スケジューラ間の情報受け渡しの量を削減することができる（動作例 5）。

【 0 0 6 7 】

〔パケットスイッチ装置の動作〕

本発明の一実施の形態のパケットスイッチ装置の動作について、図 2 5 から図 3 7 を順次参照して説明する。図 2 5 は書き込み動作手順、図 2 6，図 2 7 に書き込み動作例、図 2 8 にマルチキャスト動作手順、図 2 9 から図 3 2 にマルチキャスト動作例、図 3 3 に読み出し動作手順、図 3 4 から図 3 7 に読み出し動作例を示す。

【 0 0 6 8 】

（ポインタ基本処理）

まず、アドレス F I F O への追加動作及びアドレス F I F O からの読出動作について説明する。

【 0 0 6 9 】

（1）アドレス F I F O への追加動作：

アドレスFIFOが空のときは、追加するアドレスをスタート（START）ポインタS-PNT及びエンド（END）ポインタE-PNTにそれぞれ設定する。一方、アドレスFIFOが空で無いときは、ENDポインタが示すアドレスリンクに追加するアドレスを設定する。更に、ENDポインタに追加するアドレスを設定する。

【0070】

（2）アドレスFIFOから読出動作：

STARTポインタが示すアドレスを獲得する。STARTポインタが示すアドレスリンクより、NEXTアドレスを獲得する。更に、STARTポインタにNEXTアドレスを設定する。

【0071】

アドレスFIFOが空かどうかは、キュー長カウンタより識別する。ただし、空きアドレスFIFO（空きアドレスブロック管理メモリ）はキュー長カウンタを持たない。そこで、空きアドレスFIFOは必ず空にならないように、次のように管理する。つまり、初期はアドレス0番を空きアドレスFIFOに割り当てる。空きアドレス生成カウンタはアドレス1番から書込アドレスを生成する。書込アドレス獲得時、STARTポインタとENDポインタとが等しいならば、入力セルを廃棄する。

【0072】

（書き込み動作）

到着セルをセルバッファメモリに書き込み、対応する論理出方路キューのアドレスリンクを更新する。書込アドレスは空きアドレスFIFOの先頭より獲得する。ただし、初期状態では空きアドレスFIFOには何も設定されていない。そこで、初期動作用に書込アドレスを生成するカウンタ、つまり初期アドレス生成カウンタINI-CNTを設ける。初期アドレス生成カウンタINI-CNTが最大（MAX）値になるまでは、このカウンタより書き込みアドレスを獲得し、MAX値になったらカウンタを止め、以降は空きアドレスFIFOより書き込みアドレスを獲得する。

【0073】

空きアドレス F I F O から書込アドレスを獲得できなかった場合は、入力セルを廃棄する。また、マルチキャスト (MC) 動作との整合のため、バッファアドレス領域にも書込アドレスを保持する。更に、MC ルーティングビット領域に対し、ユニキャストセルの場合は出方路番号をビットマップに変換した値を、マルチキャストセルの場合は MC ルーティングビットを保持する。

【 0 0 7 4 】

書き込み手順は次に示す S 1 から S 7 である。つまり、

- S 1 : 書込アドレスの獲得、
- S 2 : 到着セルを書込アドレスに対応するセルバッファメモリに書き込む、
- S 3 : 到着セルのヘッダ情報に対応する論理キューのアドレス F I F O に書込アドレスを追加、
- S 4 : 書込アドレスをバッファアドレス領域に保持、
- S 5 : 入力セルがユニキャストセルの場合、出方路番号に対応する MC ルーティングビットをセット、
- S 6 : 入力セルがマルチキャストセルの場合、MC ルーティングビットを保持、
- S 7 : 対応する論理キュー、共通バッファ (セルバッファメモリ) のキュー長カウンタをインクリメントする。

【 0 0 7 5 】

(マルチキャスト動作)

論理マルチキャストキューのアドレス F I F O より MC アドレスを読み出し、これを MC 先頭アドレスとしてレジスタに保持する。次に、対応する MC ルーティングビットを S S R A M より読み出し、MC 残ルーティングビットとしてレジスタに保持する。そして、MC 残ルーティングビットを参照し、対応する論理出方路キューにアドレスを振り分ける。振り分けは、1 パケット (セル) 時間に 1 出方路ずつ行う。振り分けるアドレスは、最初の出方路は MC 先頭アドレスを、2 回目以降は新たに空きアドレス F I F O から取得した MC 追加アドレスを使用する。

【 0 0 7 6 】

ただし、実際のセルは MC 先頭アドレスに対応するセルバッファメモリに書き

込まれているため、バッファアドレスとしてMC先頭アドレスを新たに取得したアドレス毎に保持する。マルチキャストの1セル目であるかどうかは、MC先頭アドレス有効レジスタにより判断する。

【0077】

マルチキャスト処理手順は次に示すS11からS18及びS21からS26である。つまり、

1セル目：

S11：論理マルチキャストキューのMCアドレスをMC先頭アドレスレジスタに保持、

S12：MC先頭アドレスに対応するMCルーティングビットをMC残ルーティングビットレジスタに保持、

S13：MC残ルーティングビットが立っている回線のうち、一番若い回線を選択、

S14：選択回線に対応する論理キューのアドレスFIFOにMC先頭アドレスを追加、

S15：MC先頭アドレスに対応するバッファアドレス領域にMC先頭アドレスを設定、

S16：MC残ルーティングビットに対し、選択回線に対応するビットを「0」に更新、

S17：対応するMCキューのキュー長カウンタをデクリメント、

S18：対応する論理キューのキュー長カウンタをインクリメントする。

2セル目以降：

S21：空きアドレスFIFOよりMC追加アドレスを獲得、

S22：MC残ルーティングビットが立っている回線のうち、一番若い回線を選択、

S23：選択回線に対応する論理キューのアドレスFIFOにMC追加アドレスを追加、

S24：MC追加アドレスに対応するバッファアドレス領域にMC先頭アドレスを設定、

S 2 5 : MC 残ルーティンクビットに対し、選択回線に対応するビットを「0」に更新、

S 2 6 : 対応する論理キュー、共通バッファのキュー長カウンタをインクリメントする。

【 0 0 7 8 】

MC 残ルーティンクビットがオール「0」になるまでこの動作を続ける。オール「0」になったら、そのセルのマルチキャストは終了し、MC 先頭アドレス有効レジスタをリセットする。次のスロットで新たなMC アドレスを論理マルチキャストキューより獲得し、始めの動作に戻る。また、空きアドレス F I F O よりアドレスが獲得できなかった場合は、そのスロットでのマルチキャスト動作を止め、アドレスが獲得できるまで待つ。

【 0 0 7 9 】

(読み出し動作)

対応する論理出方路キューのアドレス F I F O より読出アドレスを獲得し、読出アドレスに対応するバッファアドレスのセルバッファメモリより、セル読み出しを行う。その後、読出アドレスがバッファアドレスに一致しないときのみ、読出アドレスの返却を行う。さらに、バッファアドレスに対応するMC ビットマップの読出回線に対応するビットをクリアする。その結果、オール「0」であれば、対応するセルの読み出しが全て完了したと判定し、バッファアドレスを空きアドレス F I F O に返却する。

【 0 0 8 0 】

読み出し手順は次に示す S 3 1 から S 3 6 である。つまり、

S 3 1 : 論理出方路キューのアドレス F I F O より、読出アドレスを獲得、

S 3 2 : 読出アドレスに対応するバッファアドレスより、セルを読み出す、

S 3 3 : バッファアドレスと読出アドレスとが一致しない場合、読出アドレスをアドレス F I F O に追加し、共通バッファのキュー長カウンタをデクリメント、

S 3 4 : バッファアドレスに対応するMC ビットマップに対し、読出回線に対応するビットをクリア、

S 3 5 : クリア後のMC ビットマップがオール「0」なら、バッファアドレスを

アドレス F I F O に追加し、共通バッファのキュー長カウンタをデクリメント、
S 3 6 : 対応する論理キューのキュー長カウンタをデクリメントする。

【 0 0 8 1 】

〔第 2 のスケジューラの構成・動作〕

本発明の一実施の形態のパケットスイッチ装置における入力バッファ部のスケジューラの構成を示す図 3 8 を参照すると、要求管理部 3 6 1 は入力バッファメモリから通知される送出要求数を管理する。第 1 のタイマ処理部 (1) 3 6 2 は自己入力回線に対するスケジューリング周期を計測する。第 2 のタイマ処理部 (2) 3 6 3 は各論理出方路対応に備えられ、その出力回線に対するスケジューリング割り当ての周期を計測する。スケジューリング処理部 3 6 4 はタイマ処理部 (1) 3 6 2 でスケジューリング可能と判断されたときにスケジューリング処理を行い、要求管理部 3 6 1 に送出要求のある出力回線で、かつタイマ処理部 (2) 3 6 3 で割り当て可能と指示された出方路のなかからスケジューリングアルゴリズムに従って出方路を確定するものである。

【 0 0 8 2 】

各スケジューラ (S C H) 3 6 は入力回線 (入力方路) I H W 対応に設けられ、1 単位時間内、ここでは、1 パケット (セル) 時間内、各入力回線で出力方路が競合しない様に、自己入力回線のパケット送出出方路を決定すべく、スケジューリングアルゴリズムに従って出力回線を確定する。

【 0 0 8 3 】

(入力回線速度スケジューリングの必要性)

図 3 9 は 9 . 6 G b p s の伝送速度のポートを有する $N \times N$ コアスイッチ (スイッチ部) 3 7 1 に、伝送速度の異なる入力回線を入力バッファ部 3 7 2 , 3 7 3 , 3 7 4 を通して収容した例を示す。この例では、伝送速度 2 . 4 G b p s のインタフェースの入力回線 # 0 及び伝送速度 4 . 8 G b p s のインタフェースの入力回線 # 5 が伝送速度の異なる入力回線として収容されている。

【 0 0 8 4 】

この入力回線の収容形態において、何も速度制御を行わなければ、各スケジューラ (S C H) 3 7 2 1 , 3 7 3 1 は単位時間 (ここでは、9 . 6 G b p s) の

速度で、各入力回線に対してスケジューリングを行ってしまい、2.4 Gbps のバッファリング能力しか持たない入力回線 # 0 や 4.8 Gbps のバッファリング能力しかない入力回線 # 5 に対して、9.6 Gbps の速度で送出指示を送ってしまう。すなわち、入力バッファ部 3 7 2, 3 7 3 に高速な入力バッファメモリ 3 7 2 2, 3 7 3 2 が必要になる。

【0085】

(入力回線速度でスケジューリングを行う動作)

図 4 0 を用いて入力回線速度でスケジューリングを行う例を説明する。入力バッファ部に高速バッファメモリを設置することを回避するためには、各入力回線は下記の packets (セル) 時間間隔以上でスケジューリングされなければならない。

入力回線 # 0 : 4 packets 時間 (= 9.6 Gbps / 2.4 Gbps)

入力回線 # 5 : 2 packets 時間 (= 9.6 Gbps / 4.8 Gbps)

時刻 $T = 1$ において、入力回線 # 0 に対するスケジューリング処理が行われたとする。ただし、スケジューリングの結果、実際に割り当てが行われたか否かは問わない。このとき、スケジューラ # 0 のタイマ処理部 (1) 3 6 2 (図 3 9 参照) は、所定間隔の計測を開始し、スケジューリング処理部 3 6 4 に対してスケジューリング停止信号を通知する。所定時間の計測は、packets 時間毎にカウンタのインクリメントを行う単純なカウンタ回路で実現できる。そして、スケジューリング停止信号は、スケジューリング処理が行われたときにセットされ、所定の計測時間経過した時点で解除される。

【0086】

時刻 $T = 2$ では、まだ所定の時間が経過していない、つまりスケジューリング停止信号が Low (0) レベルであるため、スケジューリングを行うことができない。このように、スケジューリング処理部 3 6 4 は、スケジューリング停止信号をスケジューリング処理のイネーブル信号として用いており、停止信号が Low レベルの時はスケジューリング処理を行わない。

【0087】

入力回線 # 0 のスケジューリング停止信号は、時刻 $T = 5$ において解除される

、つまりHigh (1) レベルになるため、時刻 $T = 5$ では入力回線# 0のスケジューリングを行うことができる。上記制御によって、入力回線# 0のスケジューリング処理周期は、4 パケット時間間隔となる。図4 0中、スケジューリング処理が行われるタイムスロットを斜線で示している。

【0 0 8 8】

入力回線# 5の処理も上記と同様であり、時刻 $T = 1$ において、入力回線# 5のスケジューリング処理が行われたとすると、スケジューラ# 5のタイマ処理部(1) 3 6 2が所定時間の計測を開始して時刻 $T = 2$ 経過までスケジューリング停止信号を送出し、スケジューラ3 6 4は、時刻 $T = 2$ においては入力回線# 5のスケジューリングを行わない。

【0 0 8 9】

上記の様に、スケジューリング処理が行われた時点から所定時間の間、スケジューリング停止信号をタイマ処理部(1) 3 6 2からスケジューリング処理部3 6 4に通知することで、スケジューリング契機が入力回線速度周期で行われるため、必然的にスケジューラ3 6から入力バッファ部への読み出し指示の契機も入力回線速度となる。この結果、入力バッファ部には、その入力回線速度と同じ速度で読み出し可能なバッファメモリがあればよい。

【0 0 9 0】

入力回線速度に応じたスケジューリングの処理手順S 3 9 1からS 3 9 8を図4 1に示す。S 3 9 2からS 3 9 5はスケジューリング処理プロセスである。単位時間毎にイベントが発生すると(S 3 9 1)、S 3 9 2において、スケジューリング停止信号の論理で現在のスケジューリング状態を判定し、判定結果が「1」の場合、すなわち、スケジューリング可能状態であればS 3 9 3からS 3 9 5の処理を行う。一方、判定結果が「0」の場合(スケジューリング不可)には、スケジューリング処理を行わない。

【0 0 9 1】

上記判定結果、「1」のケースでは、S 3 9 3で所定の入力回線のスケジューリング処理を行い、S 3 9 4及びS 3 9 5で、スケジューリング停止信号及びスケジューリング停止区間を管理するタイマ(タイマ1)を「0」にセットする。

【0092】

S 3 9 6 から S 3 9 8 は、スケジューリング停止信号の更新処理である。パケット時間ごとにタイマをインクリメントし (S 3 9 6)、その結果が所定の時間を超えているか否かを判定する (S 3 9 7)。タイマ値が所定時間を超えていた場合には、スケジューリング停止信号を「1」にセットする (S 3 9 8)。

【0093】

このように、タイマ処理によって、所定時間 (= 1 / 入力回線速度) の間はスケジューリング停止信号が「0」にセットされる。この結果、所定時間の間は、スケジューリング処理が実行されないため、入力回線以上の速度でスケジューリング処理を行わないように制御することができる。

【0094】

(出力回線速度スケジューリングの必要性)

図 4 2 には伝送速度 2. 4 G b p s の出力回線 # C に対して、伝送速度 2. 4 G b p s の入力回線 # A と伝送速度 4. 8 G b p s の入力回線 # B とからのパケットをコアスイッチ 4 0 1 を通して送出した例を示している。この場合、入力回線 # A 対応の入力バッファ部 4 0 2 からはコアスイッチ 4 0 1 に伝送速度 2. 4 G b p s でパケットが送出され、かつ入力回線 # B 対応の入力バッファ部 4 0 3 からはコアスイッチ 4 0 1 に伝送速度 4. 8 G b p s でパケットが送出されるため、出力回線 # C 対応の出力バッファ部 4 0 4 の出力バッファメモリ 4 0 4 1 には、合計 7. 2 G b p s のトラヒックが流入することになる。

【0095】

この 7. 2 G b p s のトラヒック流を受信する出力回線 # C 対応の出力バッファ部 4 0 4 は、2. 4 G b p s の読出速度しかもっておらず、パケット廃棄を回避するためには大容量の出力バッファメモリ 4 0 4 1 が必要となる。

【0096】

(出力回線速度でスケジューリング処理の確定を行う動作)

図 4 3 を参照して出力回線速度に応じたスケジューリング動作を説明する。出力側のバッファメモリ量を小さくするためには、その出力回線に流入するトラヒックを出力回線速度以下に抑えなければならない。したがって、全入力回線にお

いてひとつの出力回線に送出する間隔をその出力回線速度に制御すべく、この例では、各出力回線へのスケジューリング割り当ての間隔を以下の時間で設ける必要がある。

出力回線 # 2 : 2 パケット時間 ($= 9.6 \text{ Gbps} / 4.8 \text{ Gbps}$)

出力回線 # 4 : 4 パケット時間 ($= 9.6 \text{ Gbps} / 2.4 \text{ Gbps}$)

時刻 $T = 2$ において、入力回線 # 1 のスケジューリング処理が行われ出力回線 # 2 が確定したとする。この時、入力回線 # 1 のスケジューラは、他の全スケジューラに対して出力回線 # 2 を確定したことを通知する。そして、この通知を受信した各スケジューラは、自己タイマ処理部 (1) の出力回線 (この例では、出力回線 # 2) に対応するタイマの計測を開始し、自己スケジューリング処理部に対して割り当て停止信号を通知する。タイマ処理部 (1) と同様に、タイマ処理部 (2) もパケット時間毎にインクリメントを行う、カウンタ回路を用いて所定時間の計測を行うことができる。

【 0 0 9 7 】

割り当て停止信号は、スケジューリング割り当てが行われるか、他スケジューラからの確定通知を受信した際にセットされ、タイマ処理部 (2) の所定時間経過した後解除される。スケジューリング処理部は、この割り当て停止信号が通知されていない (すなわち停止状態でない) 出力回線に対して送出確定を行う。

【 0 0 9 8 】

この例の時刻 $T = 3$ では、出力回線 # 2 の割り当て停止信号 (Low レベル) が通知されているため、どのスケジューラも出力回線 # 2 に対する割り当ては行えない。そして、時刻 $T = 4$ において、タイマ処理部 (2) の計測が完了し、出力回線 # 2 の割り当て停止信号が解除されている。その結果、時刻 $T = 4$ の入力回線 # 5 において、あらためて出力回線 # 2 への割り当てが行われている。図 4 3 中、出力回線 # 2 への割り当てを斜線で示している。

【 0 0 9 9 】

一方、出力回線 # 4 への割り当ても同様の手順で処理が行われる。時刻 $T = 2$ において入力回線 # 5 のスケジューリング処理が行われ、出力回線 # 4 の確定が行われたとき、同様の手順で、全スケジューラに対して出力回線 # 4 の確定を行

ったことを通知する。前述した様に各スケジューラのタイマ処理部（２）の出力回線 # 4 に対する所定時間の計測を開始し、出力回線 # 4 の割り当て停止信号をスケジューリング処理部に通知する。図 4 3 中、出力回線 # 4 に対する割り当てをクロス斜線で示す。

【 0 1 0 0 】

このように、この例においては、時刻 $T = 3$ では、出力回線 # 2 及び出力回線 # 4 の割り当てを行うことができず、また時刻 $T = 4 \sim T = 5$ では、出力回線 # 4 の割り当てが行われない。

【 0 1 0 1 】

同図中の斜線部とクロス斜線部とをそれぞれ個別に見てみると、出力回線 # 2 への割り当て契機（図中、斜線ブロック）は、少なくとも 2 パケット時間以上あいており、また出力回線 # 4 への割り当ては、4 パケット以上あいている。この時間間隔は、それぞれの出力回線にパケットが到着することと等価であり、各出力方路へのトラヒックを出力回線速度以下に抑えることができることを示している。

【 0 1 0 2 】

出力回線速度に応じたスケジューリングの処理手順 S 4 2 0 1 から S 4 2 1 4 を図 4 4 に示す。S 4 2 0 2 から S 4 2 0 4 は割り当て停止タイマ処理の初期化シーケンスである。単位時間毎にイベントが発生すると（S 4 2 0 1）、S 4 2 0 2 において、他スケジューラから確定通知を受信したときに、自スケジューラの割り当て停止信号を「0」にセットし（S 4 2 0 3）、タイマ（タイマ 2）を「0」にセットする（S 4 2 0 4）。確定通知を受信しなかった場合は、何も処理を行わない。

【 0 1 0 3 】

S 4 2 0 5 から S 4 2 0 8 はスケジューリング処理及びスケジューリング処理後の割り当て停止タイマ処理の初期化シーケンスである。S 4 2 0 5 では、自スケジューラの割り当て停止信号 # N_M （ N ：入力回線番号、 M ：出力回線番号）が「1」にセットされている出力回線の中から送出回線を確定するようにスケジューリング処理を行う。そして、スケジューリング処理が確定した後、確定し

た出力回線に対応する割り当て停止信号 #N_M (N : 確定入力回線番号、M : 確定出力回線番号)、及び対応するタイマ (N : 確定入力回線番号、M : 確定出力回線番号) を「0」にセットする (S 4 2 0 7, S 4 2 0 8)。

【0 1 0 4】

S 4 2 0 9 から S 4 2 1 3 は次時刻のスケジューリング停止信号を更新するシーケンスである。S 4 2 0 9 において、入力回線数 (K) 分の処理が終了したかを判定し、全入力回線の更新処理が終了した後、出力回線番号 m を「0」にセット (S 4 2 1 4) して処理を終了する。本図では、処理をシリーズに行っているが、並列処理で行っても良い。S 4 2 1 0 は、入力回線数 (K) 分の処理を行ったか否かをカウントするカウンタであり、上記並列処理の際には不要となる。

【0 1 0 5】

S 4 2 1 1 から S 4 2 1 3 は、スケジューリング停止信号の更新シーケンスである。S 4 2 1 1 において、パケット時間毎にタイマ値をインクリメントし (S 4 2 1 1)、その結果が所定時間 (= 1 / 出力回線レート) を超えているかを判定する (S 4 2 1 2)。S 4 2 1 2 において、所定時間を超過していると判定された場合には、対応する割り当て停止信号を「1」にセットする (S 4 2 1 3)。

【0 1 0 6】

このように、S 4 2 1 1 から S 4 2 1 3 において、所定時間 (= 1 / 出力回線レート) の間、割り当て停止信号を「0」にセットして、S 4 2 0 5 において各々のスケジューラが、各出力回線に対して各出力回線レート以上で割り当てを行わないように、割り当て停止信号が「0」の出力回線に対して割り当てを行わないように制御している。

【0 1 0 7】

〔第 3 のスケジューラの構成・動作〕

本発明の一実施の形態のパケットスイッチ装置における入力バッファ部のスケジューラの構成を示す図 4 5 を参照すると、このスケジューラ 4 3 は各パイプライン処理ごとにスケジューリング処理部 4 3 4 とタイマ処理部 (2) 4 3 3 とをそれぞれ有している。要求管理部 4 3 1 及びタイマ処理部 (1) 4 3 2 は図 3 8

に示す第 2 のスケジューラと同様に動作する。

【0 1 0 8】

次に、1 回のスケジューリング処理を M パケット時間かけて、パイプライン的にスケジューリングを行う場合の回線速度に応じたスケジューリング方式について説明する。

【0 1 0 9】

図 4 6 にパイプラインシーケンスを示す。同図中、各時刻 (T) 対応の四角の中の数字は、スケジューリング対象の入力回線番号を示す。ここでは、 4×4 スイッチを想定して、4 パケット時間かけて 1 回のスケジューリングを完了させる例をとって説明する。4 パケット時間費やしてスケジューリング処理を行い、パケット時間毎に結果を得るために、4 倍の並列度を持つパイプライン構成となる。

【0 1 1 0】

各スケジューラ 4 3 は、自分の入力回線番号の位置でスケジューリング処理を行う。例えば、時刻 $T = 1$ では、入力回線 # 0 のパイプライン処理 # 0、入力回線 # 1 のパイプライン処理 # 0、入力回線 # 3 のパイプライン処理 # 2、及び入力回線 # 2 のパイプライン処理 2 のスケジューリング処理が行われる。同図中の太線 TT は、スケジューラ 4 3 から入力バッファメモリに送出指示を通知することを表しており、時刻 $T = 1 \sim T = 3$ のパイプライン処理 # 0 のスケジューリング結果が時刻 $T = 4$ で対応の入力バッファメモリに通知されることを意味する。また、空欄の時刻にはスケジューリング処理を行わないことを示している。

【0 1 1 1】

(入力回線速度に応じたスケジューリング割り当ての方法)

図 4 6 に示す上記パイプライン構成において、例えば、時刻 $T = 8$ かつパイプライン処理 # 3 において、入力回線 # 3 のスケジューリング処理が行われたとする。入力回線 # 3 は 4.8 Gbps の回線速度であるため、スケジューリング間隔は 2 パケット時間 (スケジューリング速度 / 入力回線速度 = $9.6 \text{ Gbps} / 4.8 \text{ Gbps}$) に制限しなければならない。ここで確定した結果は、実際には、時刻 $T = 11$ で入力バッファメモリに通知されるため、時刻 $T = 10$ 及び $T =$

1 2 では、入力回線 # 3 に対する読出指示を与えないようにする必要がある。

【0 1 1 2】

そのため、時刻 $T = 8$ でスケジューリング処理が行われた後、そのパイプライン処理段の前後 N 段（ここで、 N はスケジューリング速度 / 入力回線速度で求められ、この例では 1）のパイプライン処理内で入力回線 # 3 に対するスケジューリングを行わないように、入力回線 # 3 のスケジューリング処理を行ったとき、前後 1 段、すなわちパイプライン # 2 とパイプライン # 0 に対して、入力回線 # 3 に対するスケジューリング不可信号を通知する。同図中、入力回線 # 3 に対するスケジューリング不可の区間を斜線で表記した。

【0 1 1 3】

同様に入力回線 # 0 の場合も、その回線がスケジューリングされた時点から前後 N 段（ $N = 3$ ）のパイプライン処理段に対してスケジューリング停止信号を通知し、入力回線 # 0 へのスケジューリングを行わないように制御する。

【0 1 1 4】

このように、パイプライン構成を用いる場合でも、そのパイプライン段の前後 N 段のスケジューリング処理部 4 3 4 にスケジューリング停止信号を通知することで、入力回線速度に応じたスケジューリングが可能となる。

【0 1 1 5】

（入力回線速度でスケジューリングを行う動作）

入力回線速度に応じたスケジューリング動作の処理手順 S 4 5 1 から S 4 5 6 を図 4 7 に示す。同図中、条件 1 は、停止信号を送出するスケジューリング周期を示している。例えば、図 4 6 において、時刻 $T = 20$ で伝送速度 622 Mbps の入力回線 # 1 のスケジューリングが行われたとする。この場合、上述したようにスケジューリング確定点から前後 16 段（ $9.6 \text{ Gbps} / 622 \text{ Mbps}$ ）のパイプライン処理の間、スケジューリング停止を行わなければならない。

【0 1 1 6】

そこで、各パイプライン処理部（タイマ処理部）が、それぞれ幾つ分のパイプライン処理時間待たなければならないかの停止パイプライン周期を下記の式で求める。

【0 1 1 7】

停止パイプライン周期 = $(F_{st} P P L + K - P P) / P P L N$

ここで、 $F_{st} P P L$: スケジューリング処理を行ったパイプライン番号

K : スケジューリング速度 / 入力回線速度

$P P$: 自己パイプライン番号

$P P L N$: 総パイプライン段数

この例における停止パイプライン周期はそれぞれ次のようになる。

パイプライン # 0 : $(1 + 16 - 0) / 4 = 4.25 = 4$ 周期

パイプライン # 1 : $(1 + 16 - 1) / 4 = 4.00 = 4$ 周期

パイプライン # 2 : $(1 + 16 - 2) / 4 = 3.75 = 3$ 周期

パイプライン # 3 : $(1 + 16 - 3) / 4 = 3.50 = 3$ 周期

(出力回線速度に応じたスケジューリング割り当ての方法)

パイプライン構成を採る場合は、各パイプライン処理ごとに独立に出力速度を守るように制御する。図 4 8 を参照して出力回線速度に応じたスケジューリング処理を説明する。例えば、時刻 $T = 8$ かつパイプライン処理 # 3 の入力回線 # 2 のスケジューリング結果が出力回線 # 0 に確定されたとき、そのパイプライン周期の次の N パイプライン周期の間、パイプライン処理 # 3 では出力回線 # 0 に対する割り当てを行わないようにする。出力回線 # 2 の回線速度が 2.4 Gbps のため、上記 N 周期は次式で求められる。

【0 1 1 8】

$N = \text{スケジューリング速度} / \text{出力回線速度} (N = 9.6 \text{ Gbps} / 2.4 \text{ Gbps} = 4)$

時刻 $T = 10$ において、パイプライン処理 # 3 かつ入力回線 # 1 のスケジューリング処理時、出力回線 # 3 が確定したときも同様の手段で次の 1 周期の間、パイプライン処理 # 3 では出力回線 # 3 に対する割り当てを行わない。ここで、時刻 $T = 9$ でも、パイプライン処理 # 0 かつ入力回線 # 0 のスケジューリング処理において、同一出力回線 # 3 への割り当てが行われており、その結果、時刻 $T = 11$ 及び $T = 12$ で連続して出力回線 # 3 へパケットが流入する。しかし、これは長い周期でみれば、平均的に出力回線速度のレートで送出されている。

【0 1 1 9】

このように、パイプライン構成では、各パイプライン処理毎に所定の間隔で割り当てを行うことで、平均的にその出力回線速度以下の速度でパケットが流入するため、出力バッファメモリ量は少なく済む。

【0 1 2 0】

図 4 9 に出力回線速度に応じたスケジューリング動作の処理手順 S 4 7 1 から S 4 7 9 を示す。S 4 7 2 から S 4 7 4 はスケジューリング処理及びスケジューリング確定後の割り当て停止信号、タイマの初期化シーケンスである。単位時間毎にイベントが発生すると（S 4 7 1）、S 4 7 2 では、現時刻のスケジューリング対象の入力回線について、割り当て停止信号が「1」にセットされている出力回線の中から送出回線を確定する。そして、確定したパイプライン処理段、入力回線、出力回線に対応する割り当て停止信号、及びタイマ値を「0」にセットする（S 4 7 3、 S 4 7 4）。

【0 1 2 1】

S 4 7 5 から S 4 7 9 は割り当て停止信号の更新プロセスである。S 4 7 5 において、全パイプライン処理段分の処理が終了したかを判定し、全パイプライン処理段分の処理が完了した後、処理を終了する。S 4 7 6 は、パイプライン処理の終りであるかを判定するプロセスであり、通常、N 段のパイプライン処理段があると、ひとつのパイプライン処理は N 単位時間で完結する。このプロセスは各パイプライン処理の最終時刻を判定するものであり、最終時刻の判定は各パイプライン処理毎にカウンタを持って、カウンタ値が N になった時に最終時刻と判定しても良いし、外部からパイプライン処理の最終時刻である旨の指示を与えても良い。

【0 1 2 2】

S 4 7 7 から S 4 7 9 は割り当て停止信号の更新プロセスであり、S 4 7 6 において、パイプライン処理の最終時刻に、対応するタイマ値をインクリメントし（S 4 7 7）、その結果が所定の周期（ $= 1 / \text{出力回線レート}$ ）を超えているかを判定する（S 4 7 8）。所定の周期を超えている場合には、対応する割り当て停止信号を「1」にセットする。

【0 1 2 3】

このように、S 4 7 7 から S 4 7 9 において、所定の周期の間、割り当て停止信号を「0」にセットして、各パイプライン処理段のスケジューリング処理 S 4 7 2 において、各出力回線に対して各出力回線レート以上で割り当てを行わないように、割り当て停止信号が「0」の出力回線に対して割り当てを行わないように制御し、この制御を各パイプライン処理段毎に独立に行うことによって、平均的に所定の出力回線レート以上の割り当てを行わないように制御することが可能となる。

【0 1 2 4】

〔第4のスケジューラの構成・動作〕

上記第3のスケジューラにおいては、スケジューリング割り当てを契機として、タイマ処理部（2）のタイマ計測を開始しており、パケットが読み出されてから計測を行うため、出力回線の入り口でみたとき、バースト性の低いトラヒックとなる。しかし、同一パイプライン処理内の異なるスケジューラに対して、あとどれくらい停止信号を送出すべきかを伝達する必要がある、隣接スケジューラに対して情報通知を行う必要がある。

【0 1 2 5】

次に述べる第4のスケジューラでは、この情報通知を削減すべく、全スケジューラで共通のフレーム信号を持ち、そのフレーム信号に従って出力回線の割り当てを行う。そのフレーム信号の形式を図50に示している。なお、第4のスケジューラの構成は図45に示す第3のスケジューラの構成と同一である。

【0 1 2 6】

（出力回線速度に応じたスケジューリング処理）

各スケジューラ内にパイプライン処理ごとに1パケット時間づつ位相がずれている出力回線速度に応じた固定フレーム信号を有している。図50中のフレーム信号FRはパイプライン処理#3のものである。この信号のHighレベルの領域でその出力回線に対するスケジューリング割り当てが可能な領域とし、Lowレベルの区間を停止区間とすることで、前述のスケジューラ間の情報伝達が不要になる。同図中、各パイプライン処理のフレーム信号のLowレベルの領域を斜

線で示している。しかし、同図からも分かるように、ひとつの出力回線に連続してN個（N：パイプライン数）割り当てが行えるため、N個連続してパケットが送出され、トラフィック流のバースト性が強くなる。

【0 1 2 7】

〔変形例〕

上記実施の形態では、パイプライン処理内の入力回線番号の並びは一例であり、どのような並びであってもよい。また、上記実施の形態では、入力回線速度に応じたスケジューリングと出力回線速度に応じたスケジューリングとの動作について、それぞれ個別に説明しているが、入力回線速度に応じてスケジューリング対象入力回線を決定し、出力回線速度に応じてスケジューリング割り当てを確定することで、入出力ともに速度対応のスケジューリングを行うことができる。

【0 1 2 8】

さらに、上記実施の形態では、入力バッファ型スイッチ装置について詳述したが、出力バッファ部に入力バッファ部と同様の構成を採用した入出力バッファ型スイッチ装置（図5 1参照）にもこの発明は適用できる。

【0 1 2 9】

【発明の効果】

以上説明したように、本発明によれば、メモリアドレスをブロック単位で管理し、ブロック内の個別のアドレスは書き込み時または読み出し時にキュー毎に与えることでメモリ量を削減することができる。

【0 1 3 0】

また、本発明によれば、少数の回線収容時でも必要となっていたパケット多重部（MUX）や低速インタフェースにおける高速バッファメモリの配置を不要とし、低速から高速まで全ての回線インタフェースを混在収容することができる。

【0 1 3 1】

また、本発明によれば、高速アクセスを実現しつつ大容量のパケット（セル）バッファメモリを構成することができる。

【0 1 3 2】

さらに、本発明によれば、出力側のパケット多重分離部（DMUX）における

所要バッファメモリ量を削減することができる。

【図面の簡単な説明】

【図 1】 パケットスイッチ装置の入力バッファ部を説明するためのブロック図。

【図 2】 パケットスイッチ装置の入力バッファ部を説明するためのブロック図。

【図 3】 パケットスイッチ装置の入力バッファ部及びスイッチ部を説明するためのブロック図。

【図 4】 パケットスイッチ装置の入力バッファ部を説明するためのブロック図。

【図 5】 パケットスイッチ装置のアドレス管理 F I F O を説明するための図。

【図 6】 パケットスイッチ装置の D R A M のバーストアクセスを説明するための図。

【図 7】 パケットスイッチ装置の入力バッファ部及びスイッチ部の二重化構成を説明するためのブロック図。

【図 8】 パケットスイッチ装置のパケットバッファメモリとアドレスリンクとの共用を説明するためのブロック図。

【図 9】 パケットスイッチ装置のマルチキャスト時のアドレス管理 F I F O を説明するための図。

【図 1 0】 パケットスイッチ装置の D R A M のパラレルアクセスを説明するための図。

【図 1 1】 パケットスイッチ装置のスケジューリング情報の切断を説明するための図。

【図 1 2】 本発明のパケットスイッチ装置のアドレスブロック管理手法を説明するための図。

【図 1 3】 アドレスリンクにおけるマルチキャストを説明するための図。

【図 1 4】 ブロック管理手法におけるマルチキャストを説明するための図。

【図 1 5】 セルバッファメモリの構成例を示すブロック図。

- 【図 1 6】 セルバッファメモリの構成例を示すブロック図。
- 【図 1 7】 セルバッファメモリの構成例を示すブロック図。
- 【図 1 8】 セルバッファメモリの構成例を示すブロック図。
- 【図 1 9】 コアスイッチの冗長構成例を示すブロック図。
- 【図 2 0】 セルバッファメモリの冗長構成例を示すブロック図。
- 【図 2 1】 スケジューリング情報の切替構成を示すブロック図。
- 【図 2 2】 バイパススイッチの詳細構成を示すブロック図。
- 【図 2 3】 バイパススイッチの動作例を示すブロック図。
- 【図 2 4】 第 1 のスケジューラの構成を示すブロック図。
- 【図 2 5】 書込動作を説明するための図。
- 【図 2 6】 ユニキャスト書込動作を説明するための図。
- 【図 2 7】 マルチキャスト書込動作を説明するための図。
- 【図 2 8】 マルチキャスト動作を説明するための図。
- 【図 2 9】 マルチキャスト動作を説明するための図。
- 【図 3 0】 マルチキャスト振り分け動作を説明するための図。
- 【図 3 1】 マルチキャスト振り分け動作を説明するための図。
- 【図 3 2】 マルチキャスト振り分け動作を説明するための図。
- 【図 3 3】 読出動作を説明するための図。
- 【図 3 4】 読出動作を説明するための図。
- 【図 3 5】 読出動作を説明するための図。
- 【図 3 6】 読出動作を説明するための図。
- 【図 3 7】 読出動作を説明するための図。
- 【図 3 8】 第 2 のスケジューラの構成を示すブロック図。
- 【図 3 9】 入力バッファ部の処理能力の問題を説明するための図。
- 【図 4 0】 入力回線速度に応じたスケジューリング処理を説明するための図。
- 【図 4 1】 入力回線速度に応じたスケジューリング処理手順を説明するための図。
- 【図 4 2】 出力トラヒック流の問題を説明するための図。

【図 4 3】 出力回線速度に応じたスケジューリング処理を説明するための図。

【図 4 4】 出力回線速度に応じたスケジューリング処理手順を説明するための図。

【図 4 5】 第 3 のスケジューラの構成を示すブロック図。

【図 4 6】 入力回線速度に応じたスケジューリング処理を説明するための図。

【図 4 7】 入力回線速度に応じたスケジューリング処理手順を説明するための図。

【図 4 8】 出力回線速度に応じたスケジューリング処理を説明するための図。

【図 4 9】 出力回線速度に応じたスケジューリング処理手順を説明するための図。

【図 5 0】 第 4 のスケジューラにおける出力回線速度に応じたスケジューリング処理を説明するための図。

【図 5 1】 入出力バッファ型スイッチ装置の構成例を示すブロック図。

【符号の説明】

1 2 アドレス管理メモリ
 1 2 1 空きアドレスブロック管理メモリ
 1 2 2 読出アドレスブロック管理メモリ
 1 3 1, 1 5, 1 6, 1 7, 1 8, 1 9 2, 2 0 2, 2 1 1 セルバッファメモリ
 1 3 2 アドレス F I F O
 1 3 3 空きアドレス F I F O
 1 9 1, 2 0 1 スイッチ部
 2 2, 3 6, 4 3 スケジューラ
 2 2 1, 3 6 1, 4 3 1 要求管理部
 2 2 2, 3 6 2, 4 3 2 タイマ処理部 (1)
 2 2 3, 3 6 3, 4 3 3 タイマ処理部 (2)

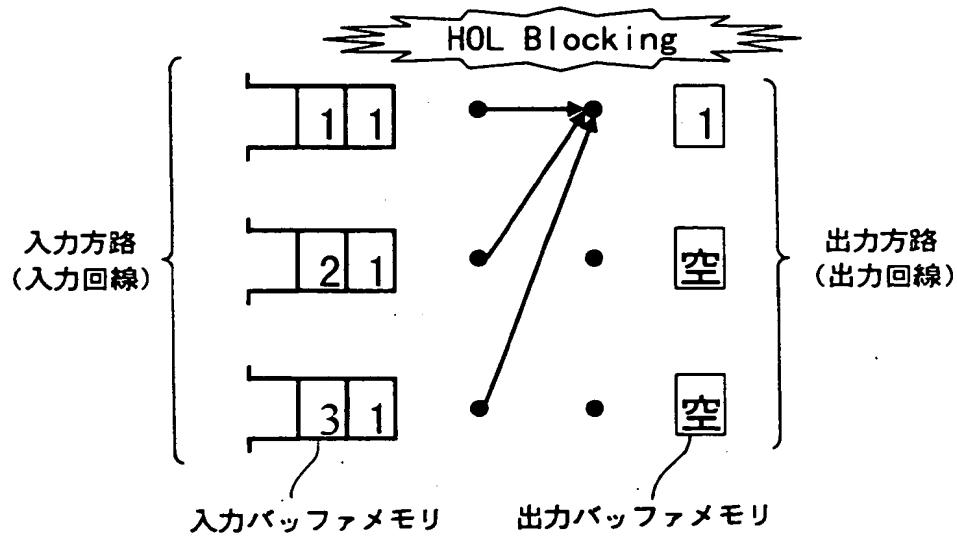
●
特平 1 1 - 2 3 5 5 9 6

2 2 4 , 3 6 4 , 4 3 4 スケジューリング処理部

【書類名】 図面

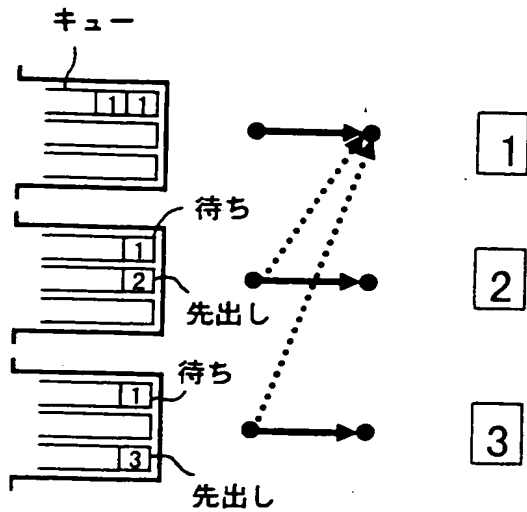
【図 1】

パケットスイッチ装置の入力バッファ部を
説明するためのブロック図



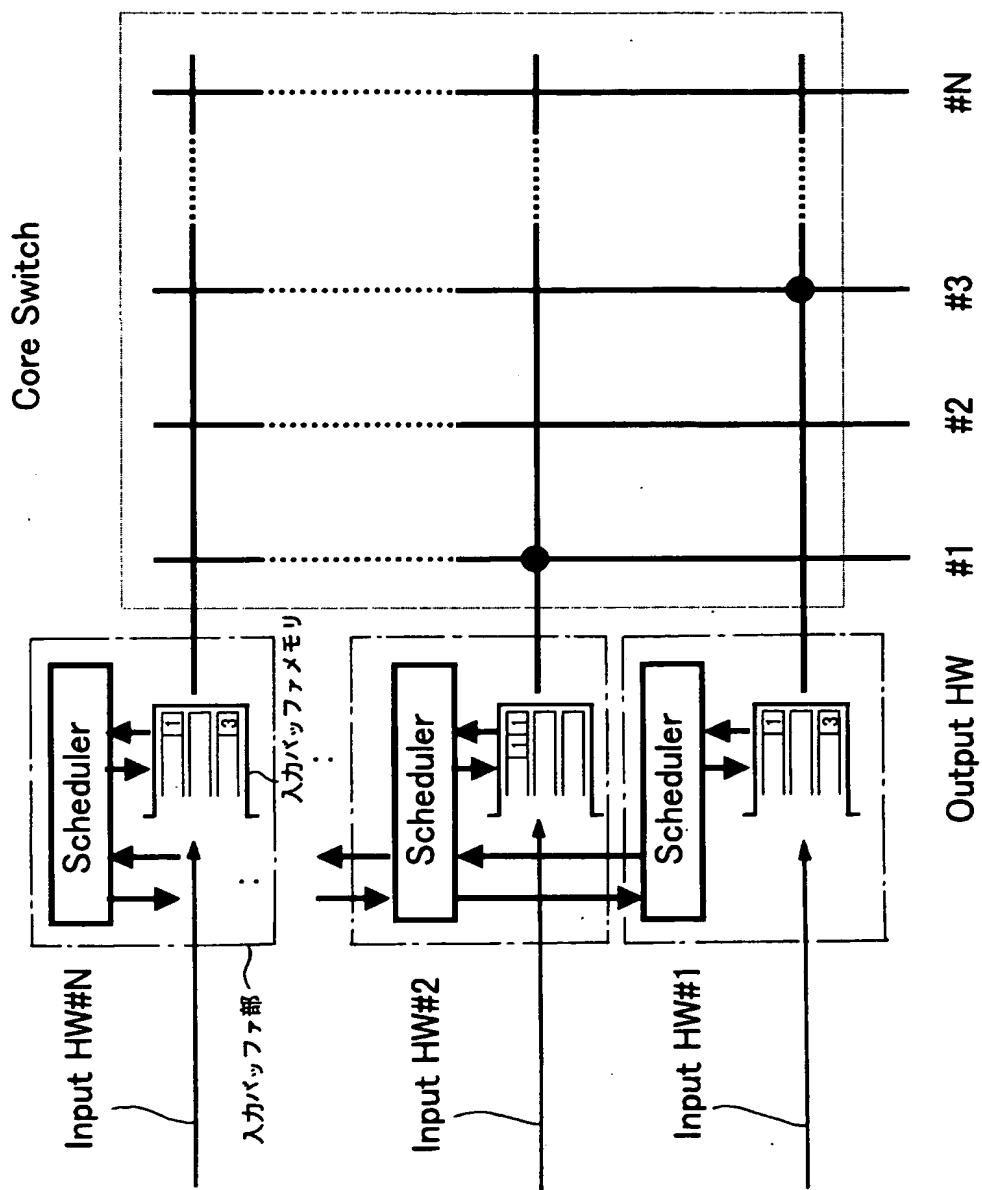
【図 2】

パケットスイッチ装置の入力バッファ部を説明するためのブロック図

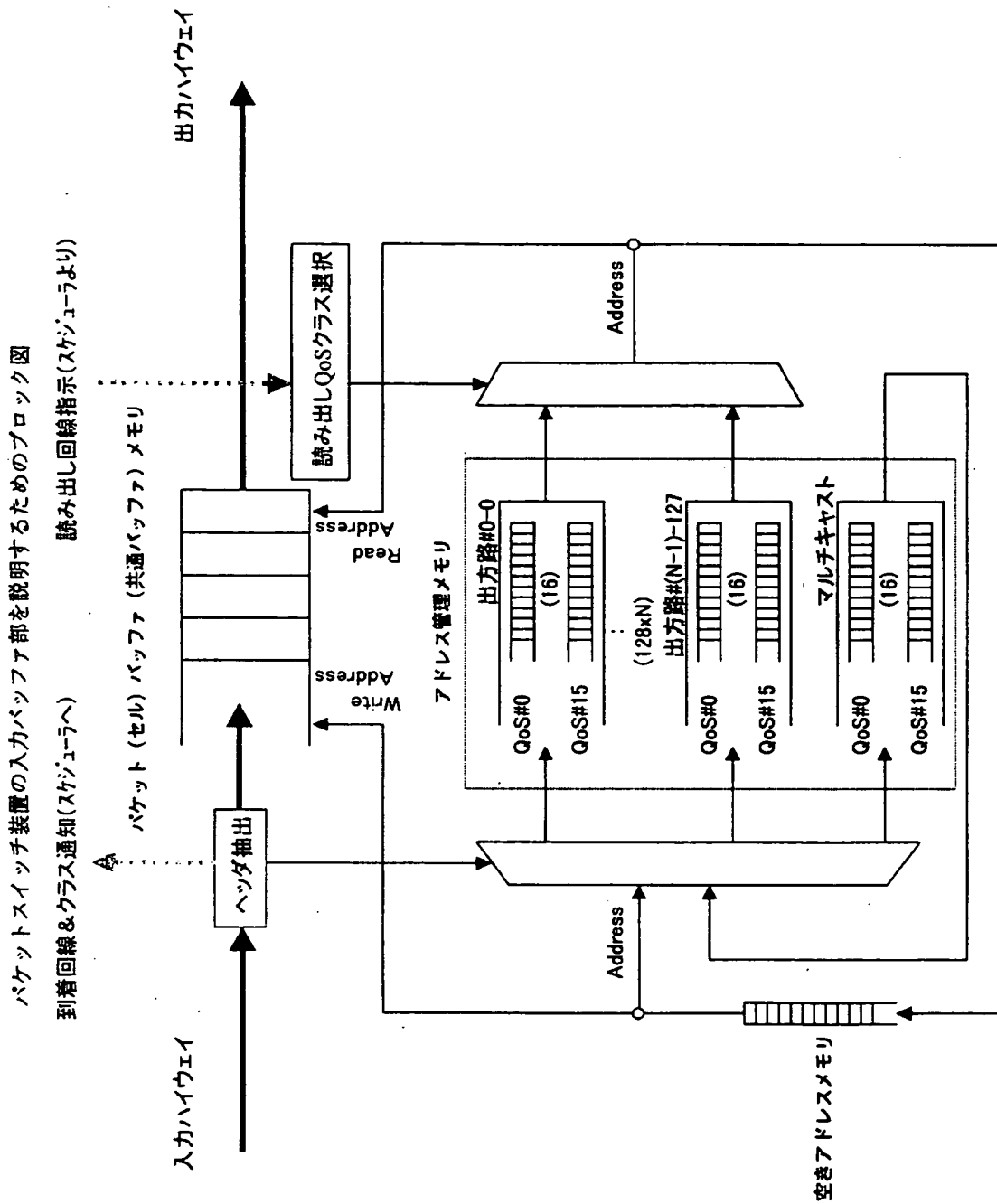


【図 3】

パケットスイッチ装置の入カバッファ部及びスイッチ部を説明するためのブロック図

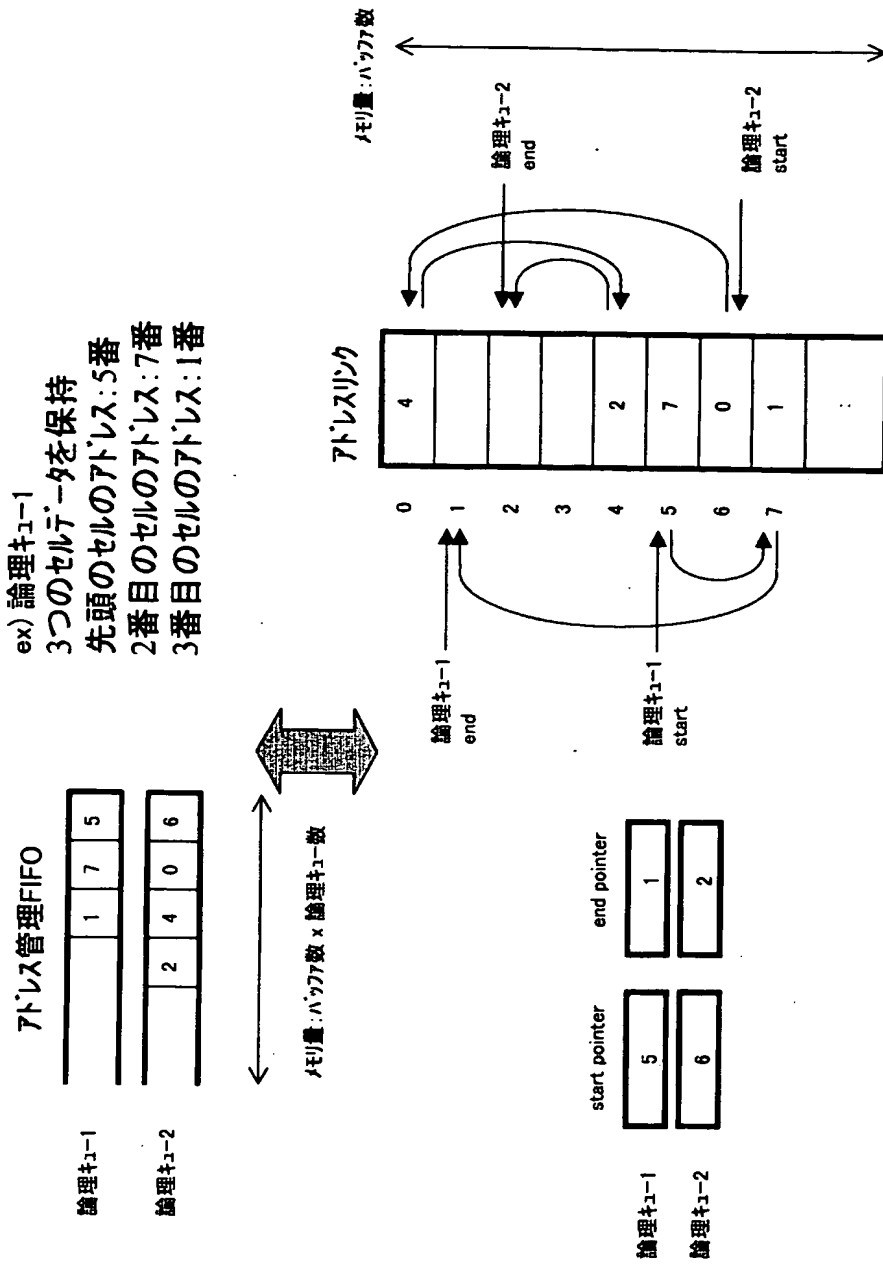


【図 4】



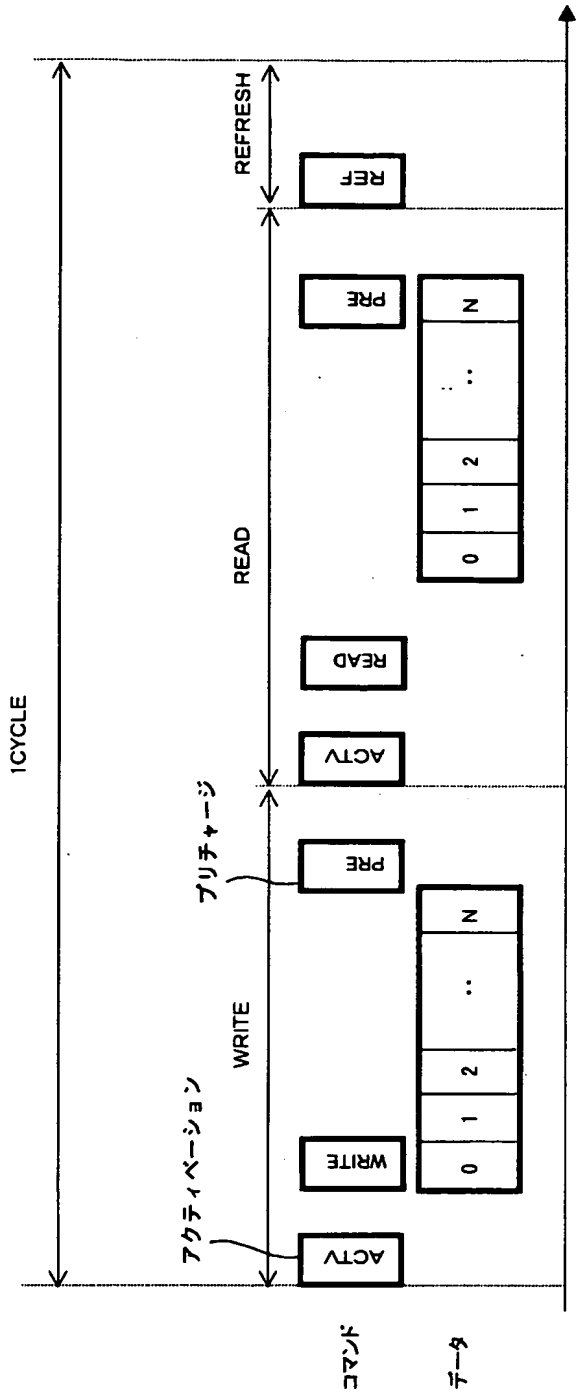
【図 5】

パケットスイッチ装置のアドレス管理FIFOを説明するための図



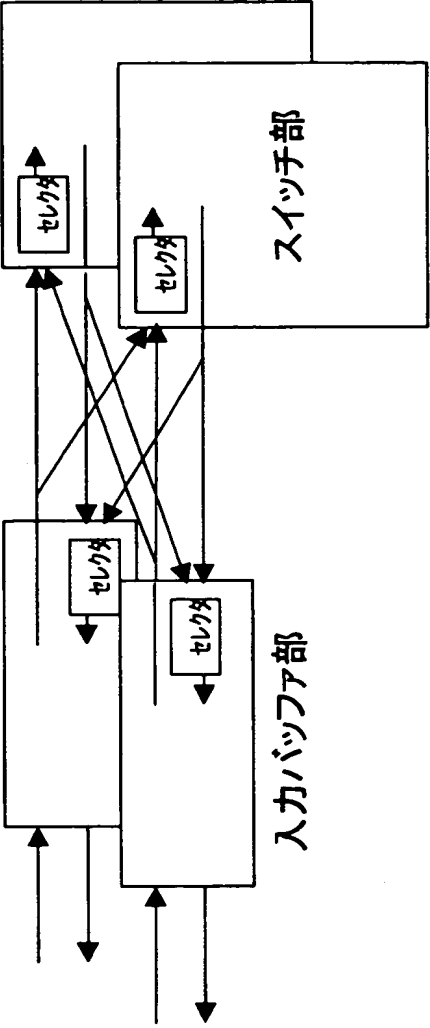
【図 6】

パケットスイッチ装置のDRAMのバーストアクセスを説明するための図



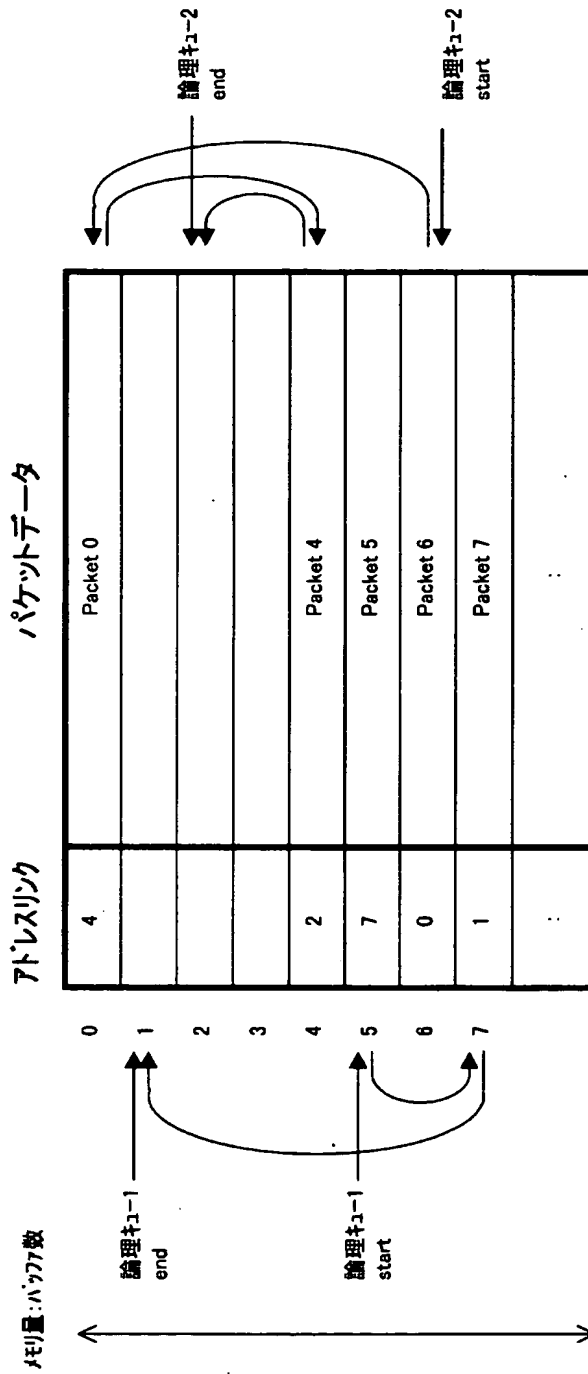
【図 7】

パケットスイッチ装置の入カバッファ部及びスイッチ部の二重化構成を説明するためのブロック図



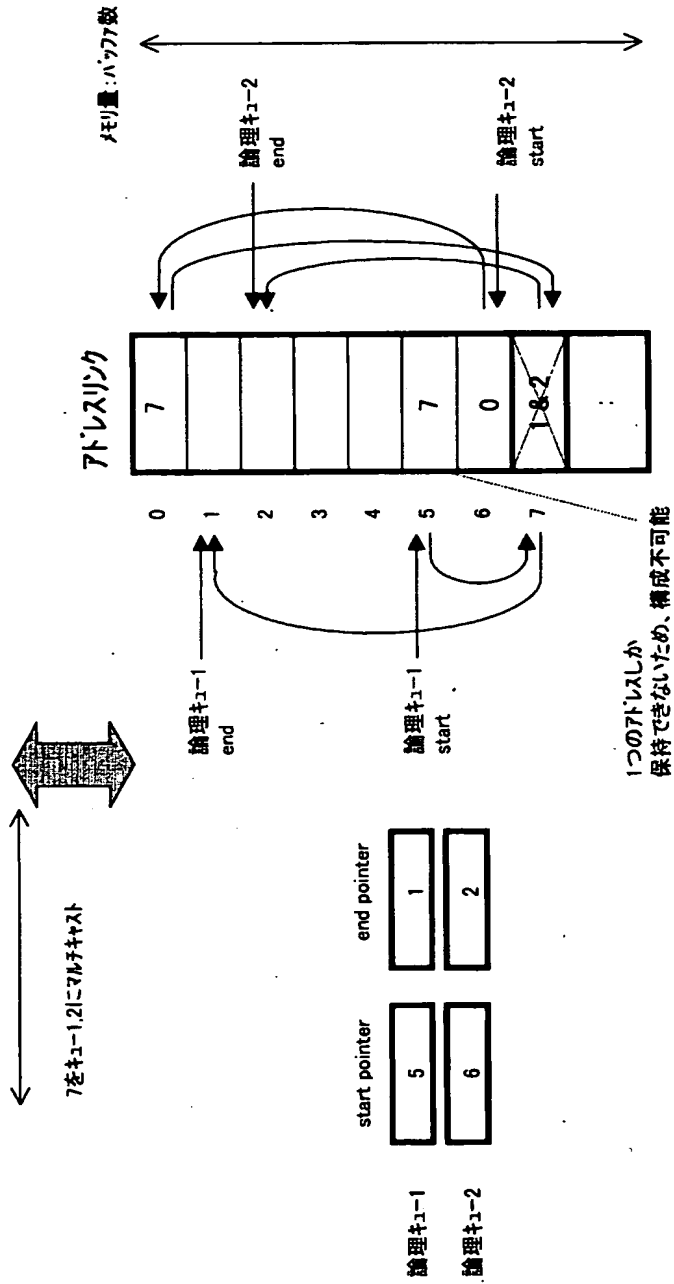
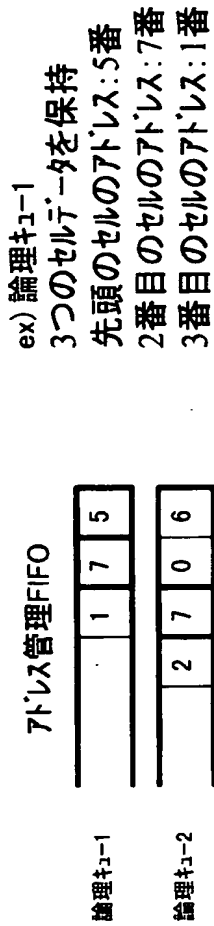
【図 8】

パケットスイッチ装置のパケットバッファメモリとアドレスリンク
との共用を説明するためのブロック図

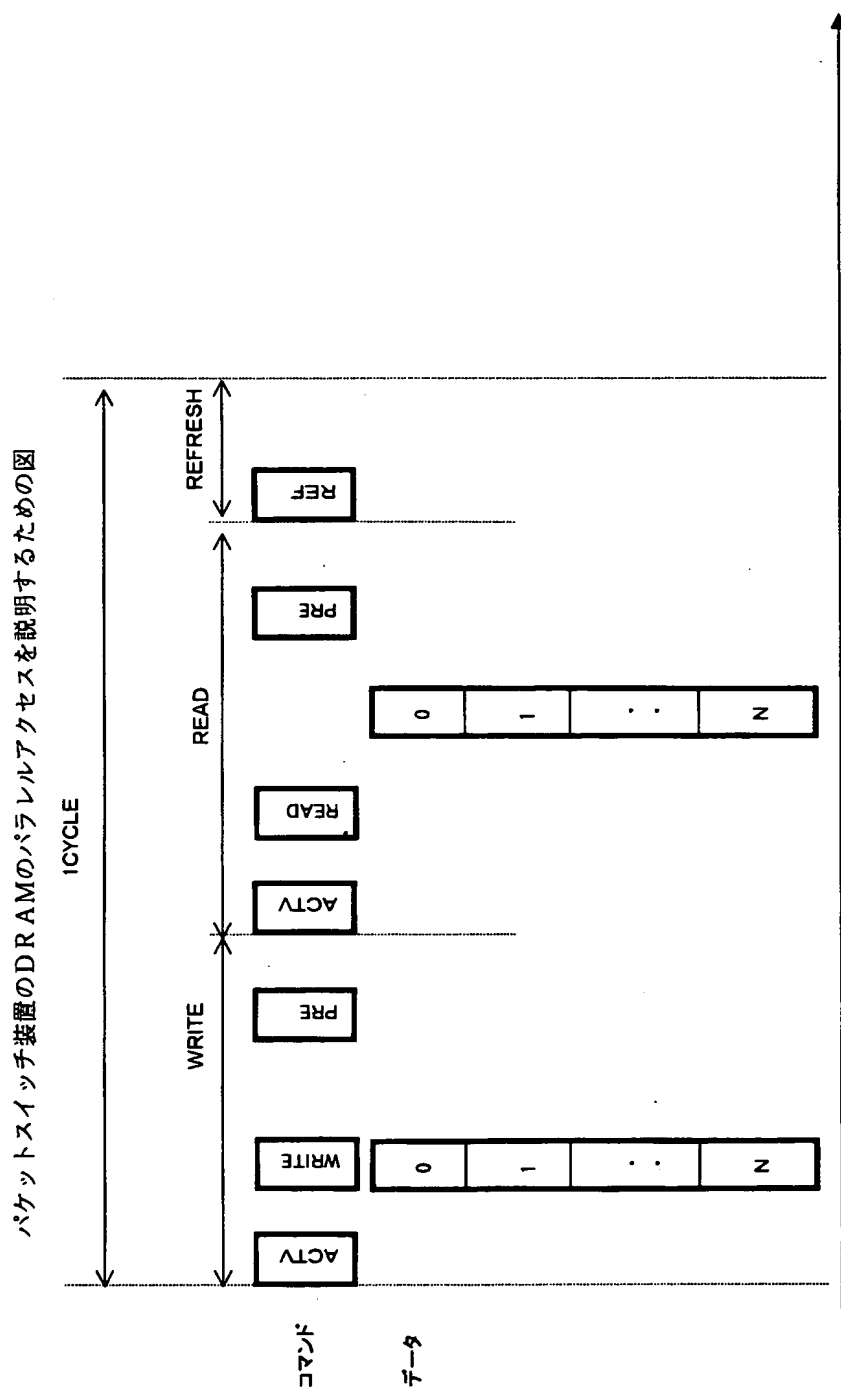


【図 9】

パケットスイッチ装置のマルチキャスト時のアドレス管理FIFOを説明するための図

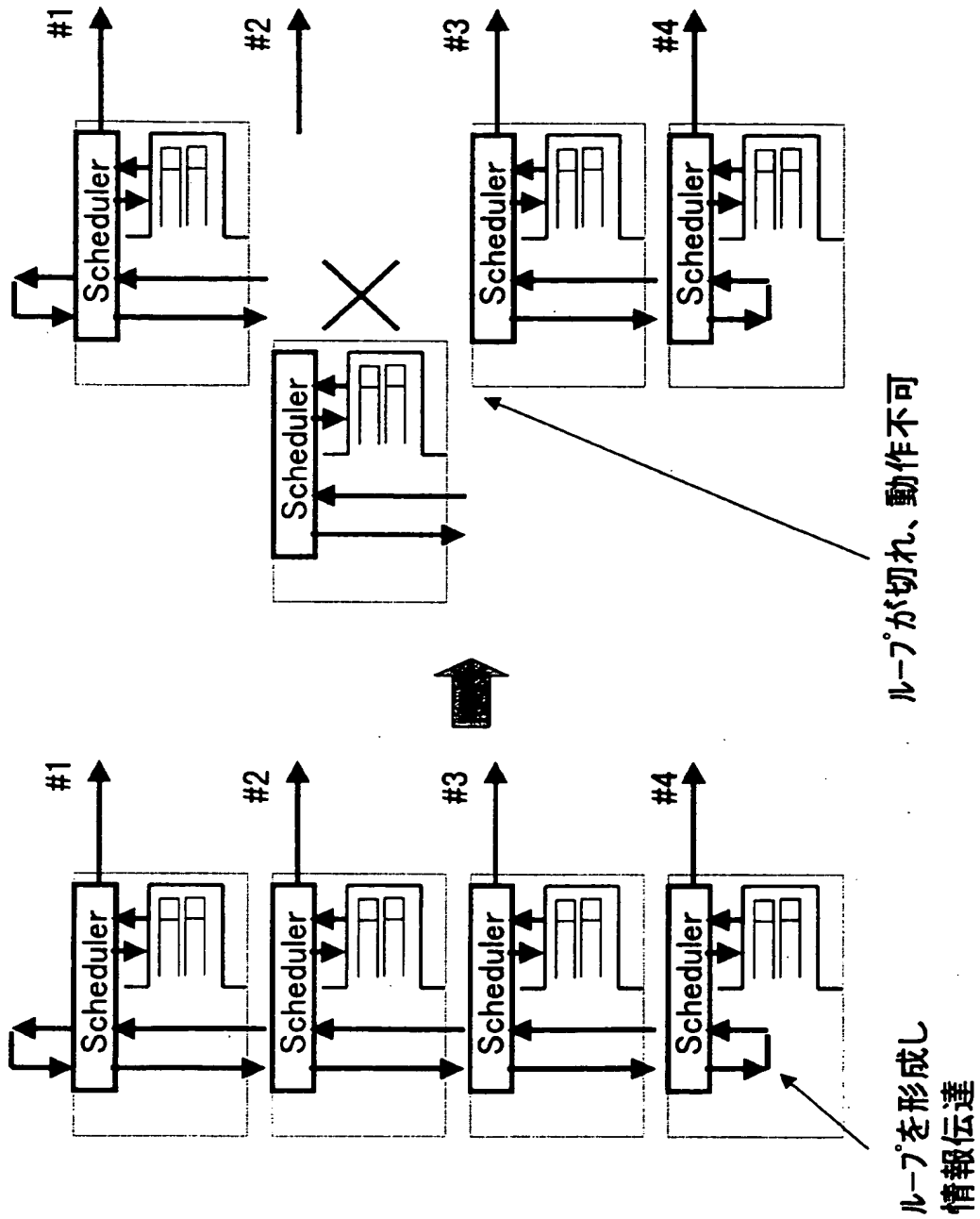


【図 1 0】



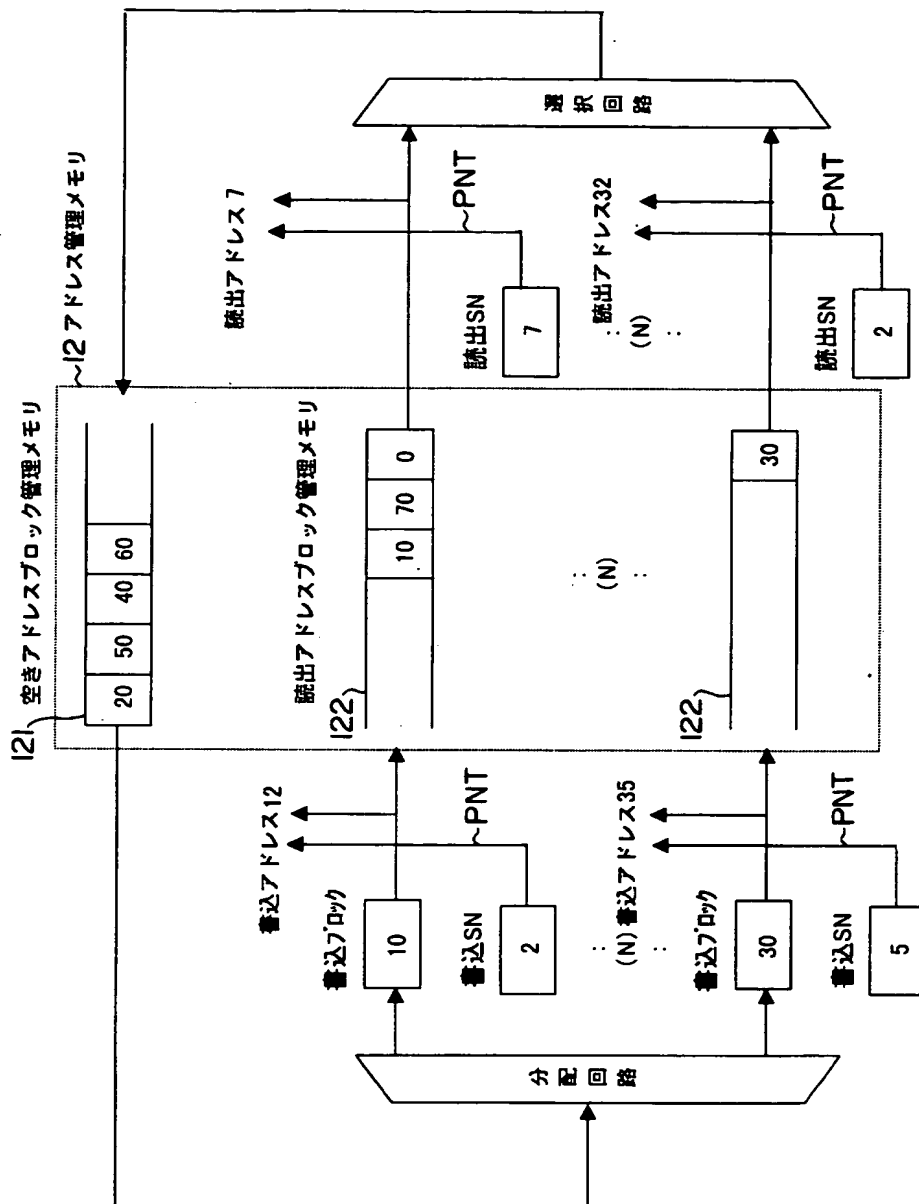
【図 1 1】

パケットスイッチ装置のスケジューリング情報の切断を説明するための図

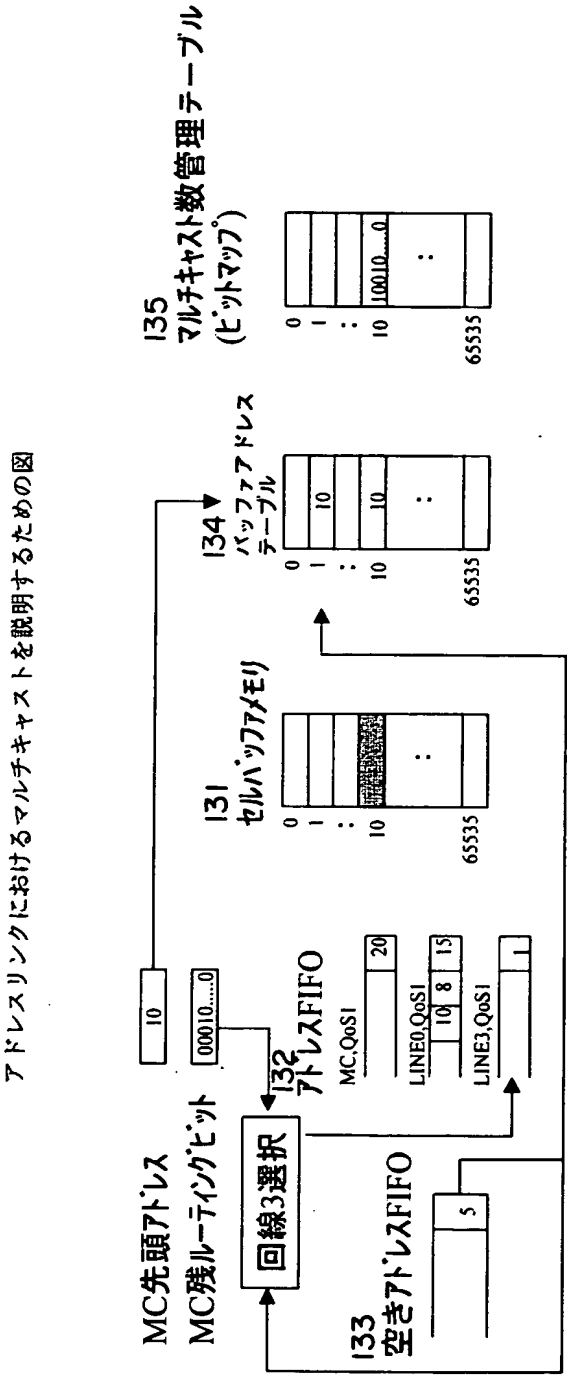


【図 1 2】

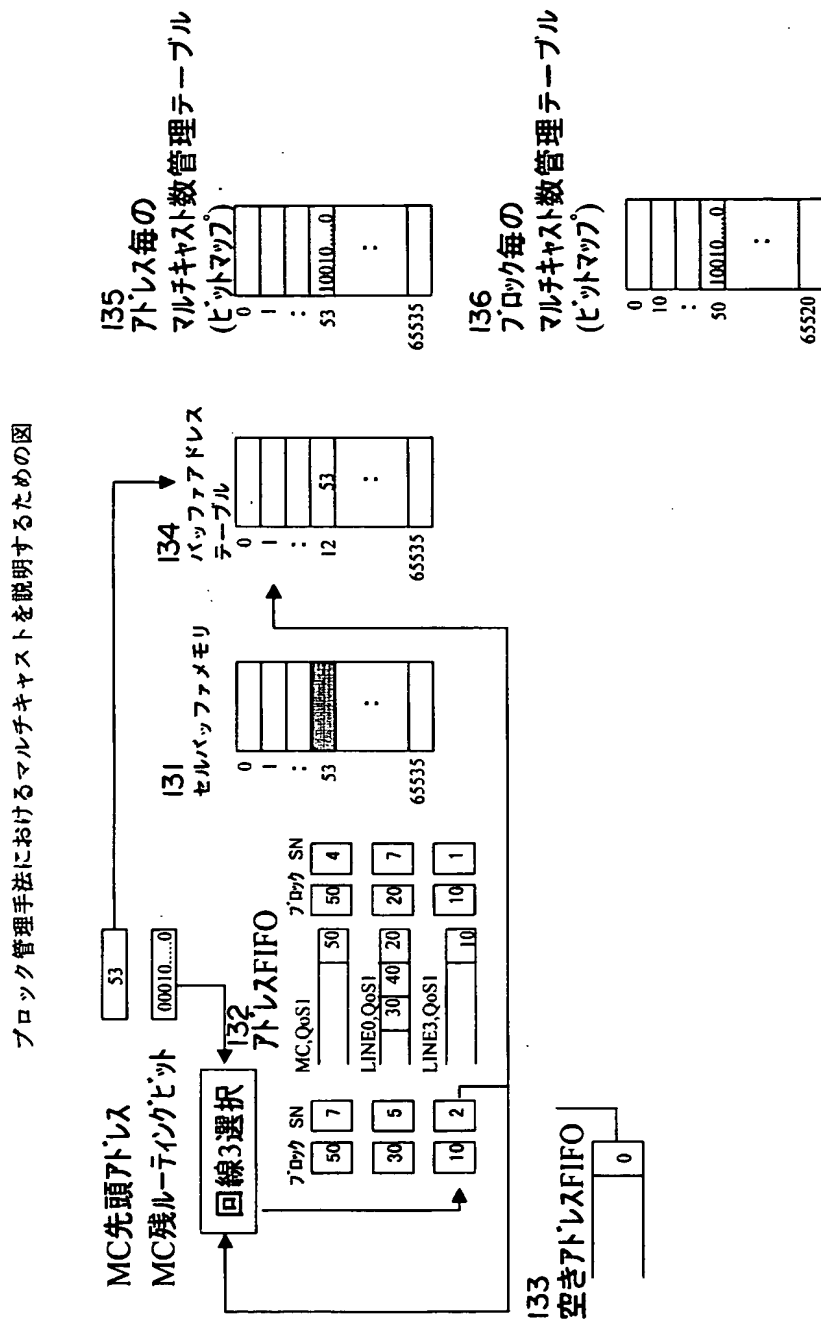
本発明のパケットスイッチ装置のアドレスブロック管理手法を説明するための図



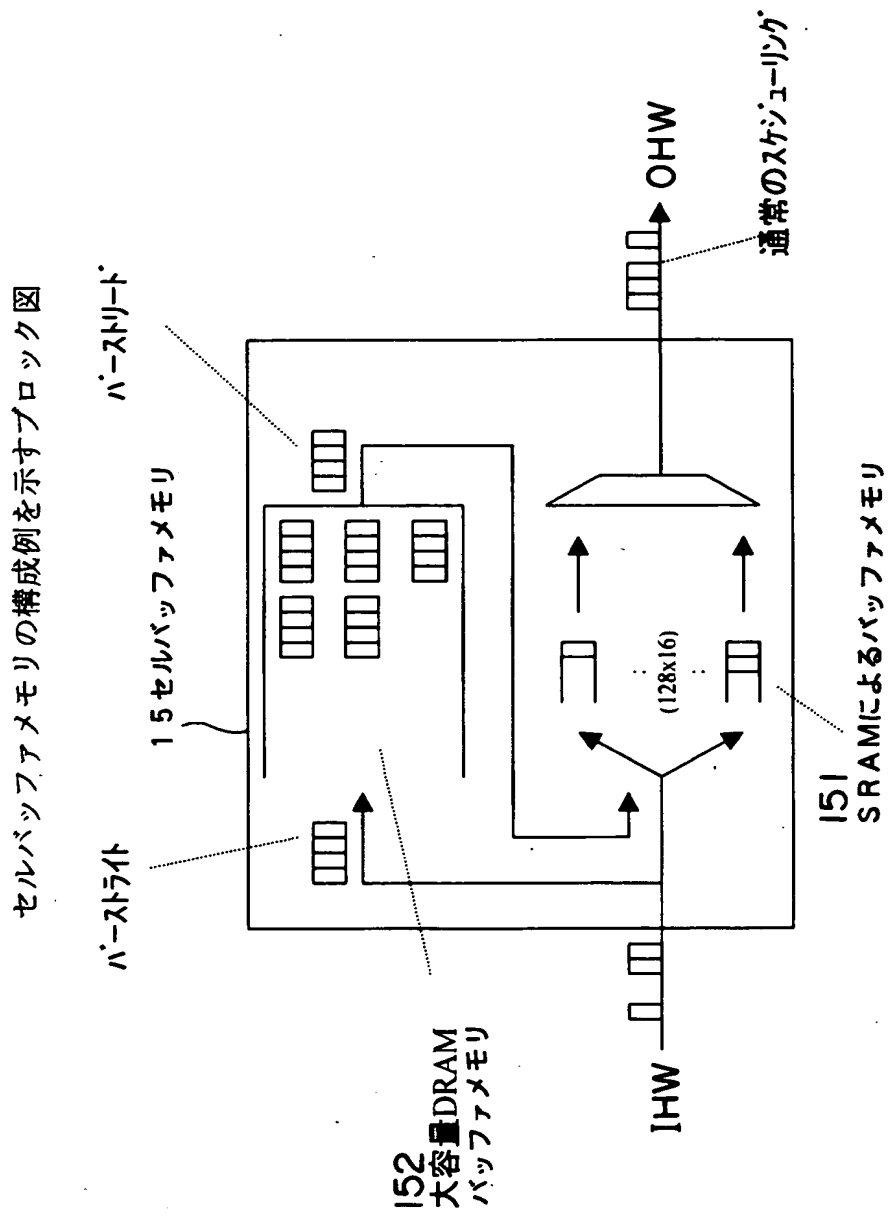
【図 1 3】



【図 1 4】

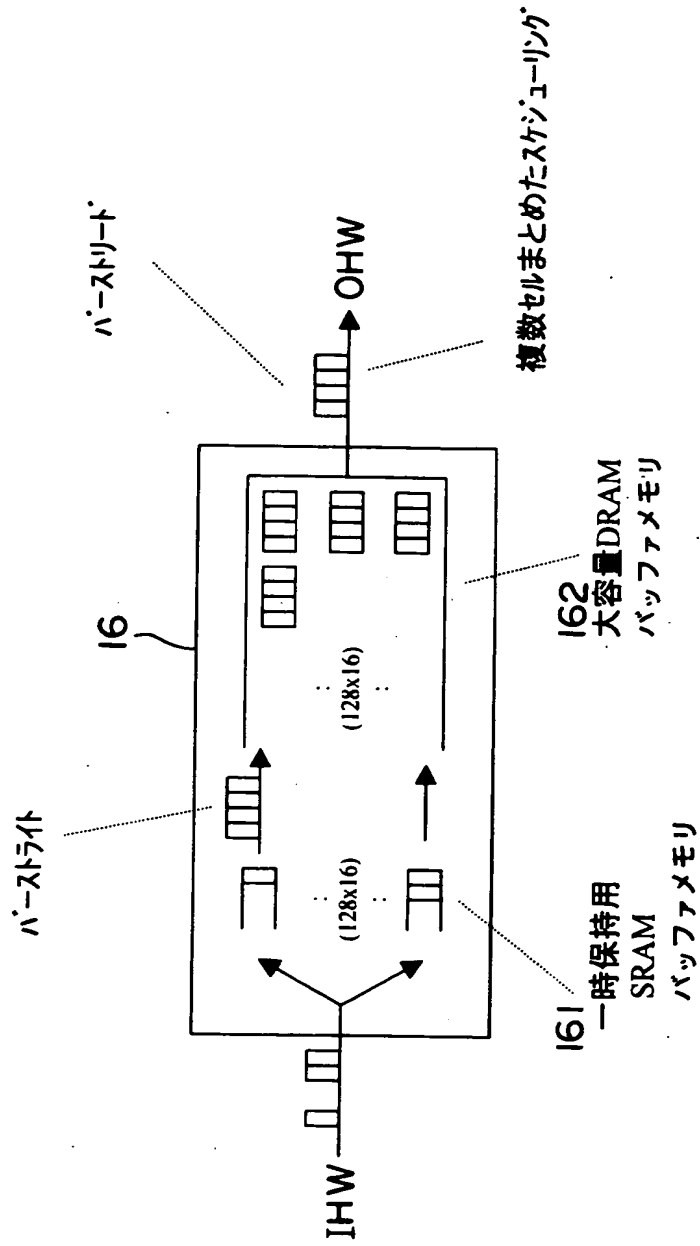


【図 1 5】

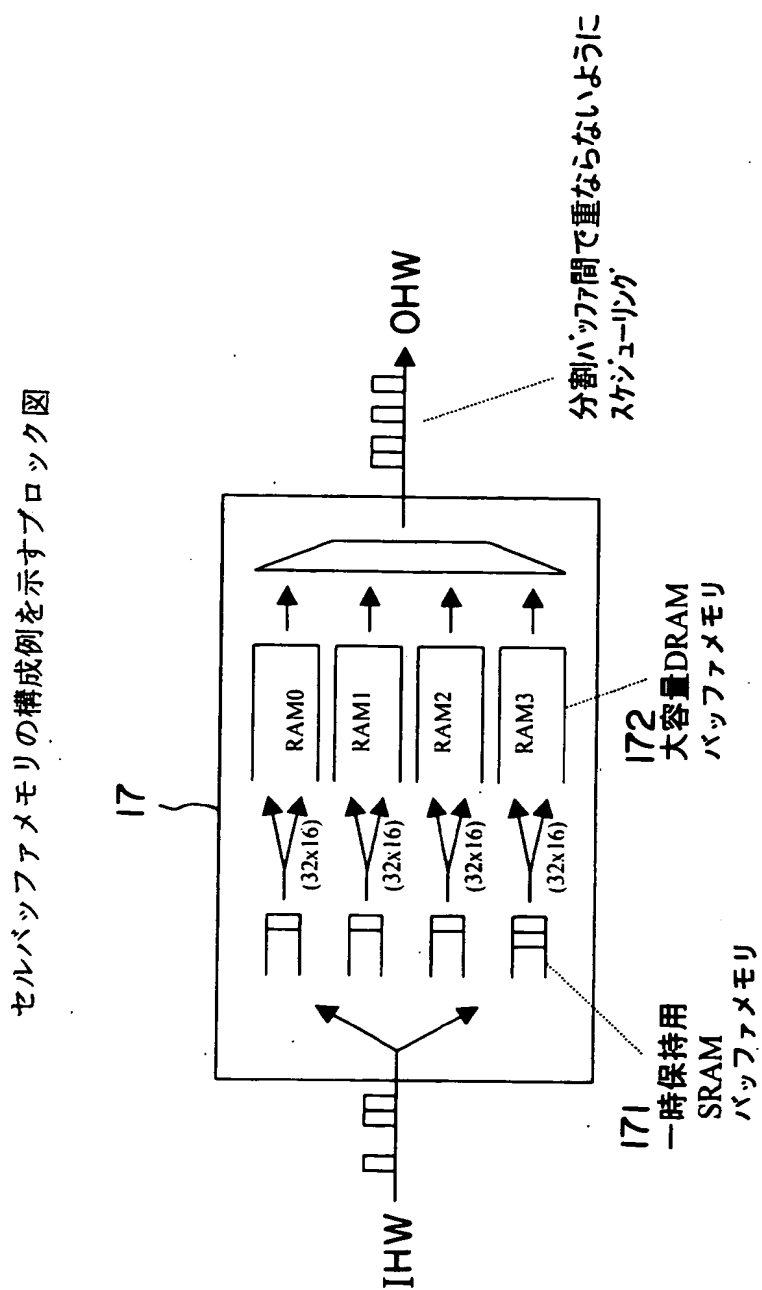


【図 1 6】

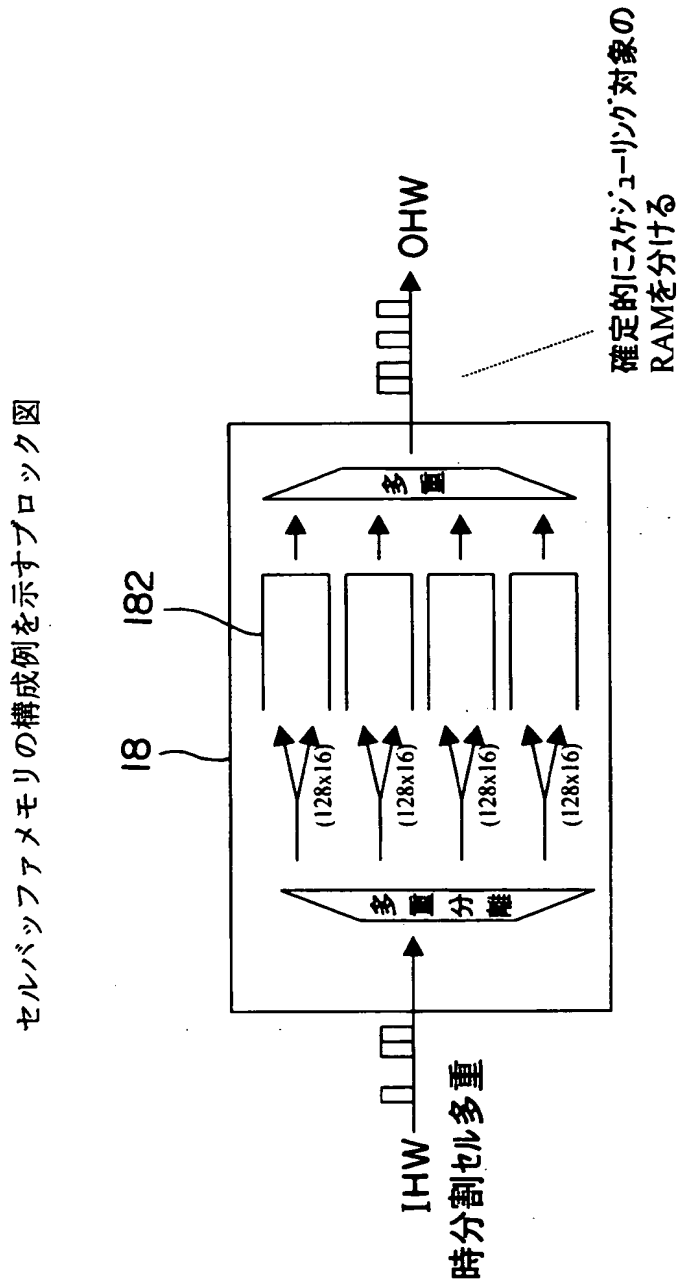
セルバッファメモリの構成例を示すブロック図



【図 17】

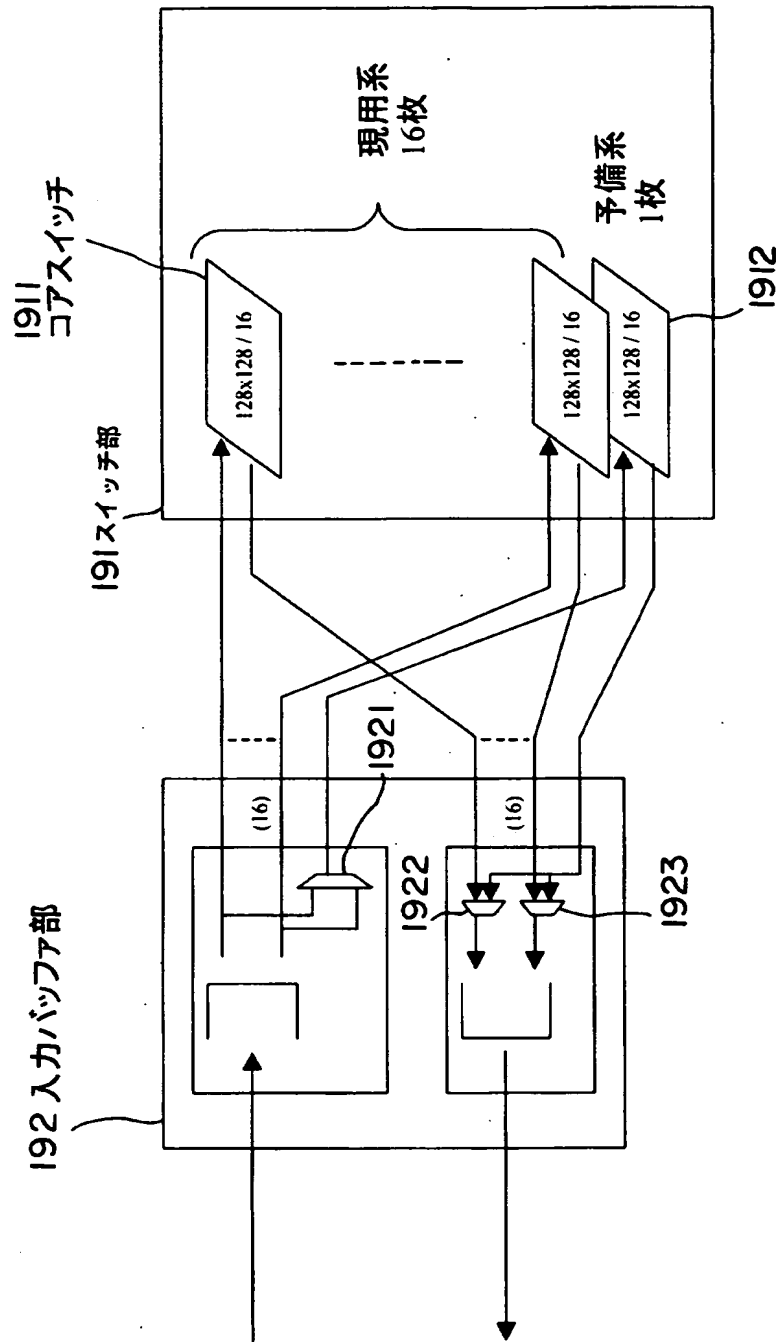


【図 1 8】

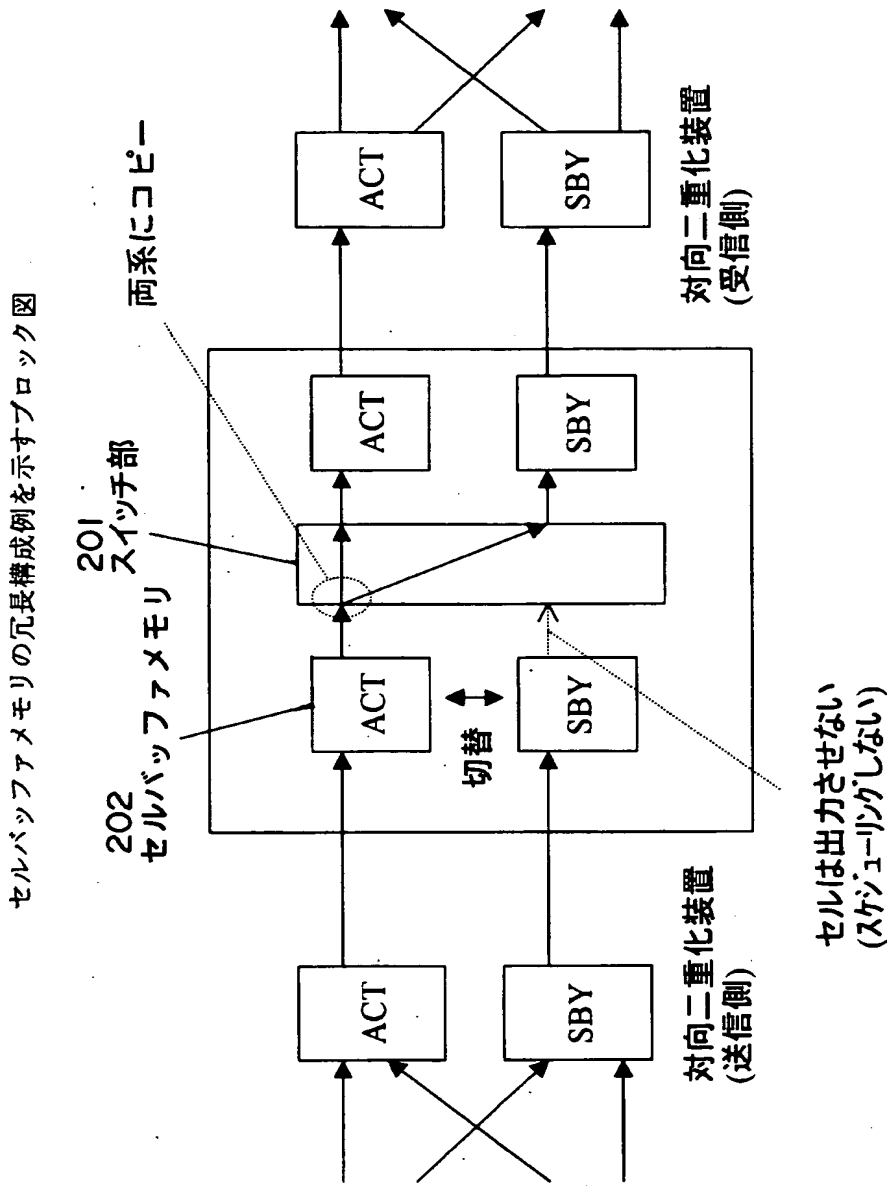


【図 1 9】

コアスイッチの冗長構成例を示すブロック図

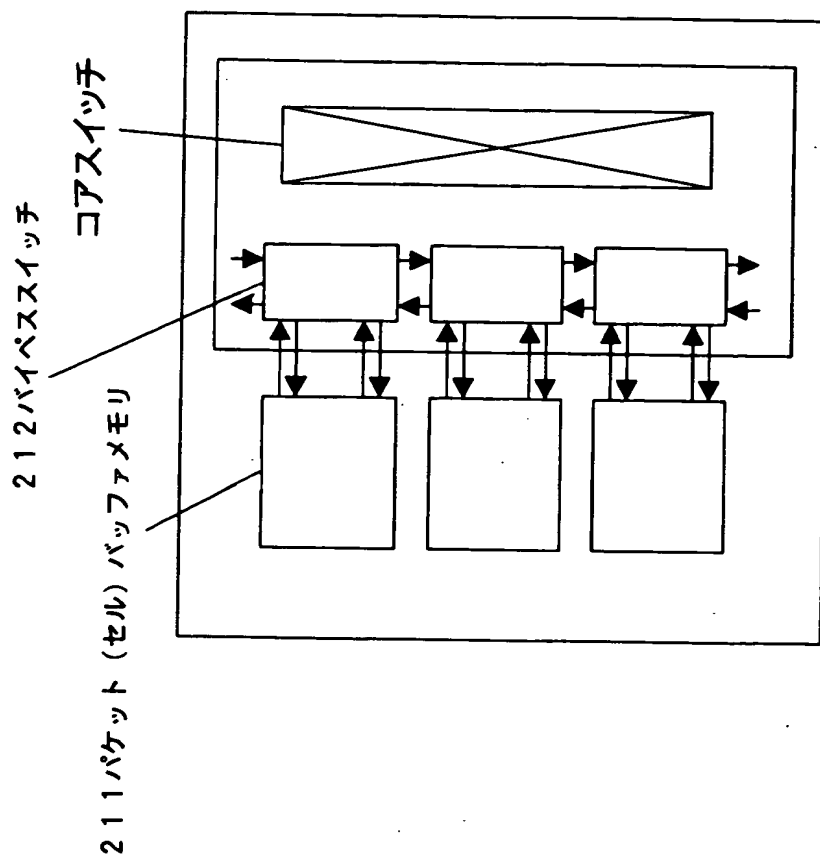


【図 2 0】

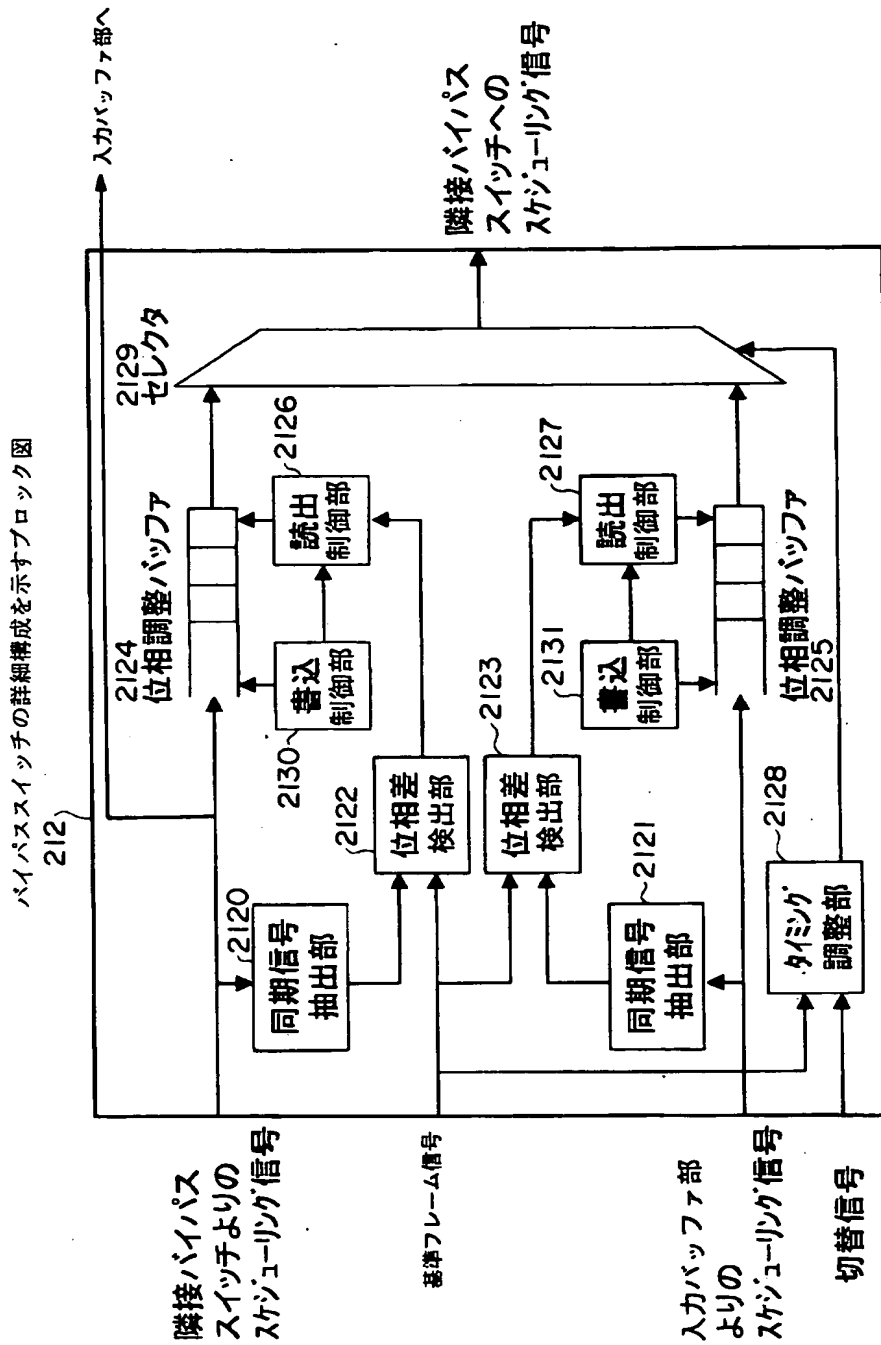


【図 2 1】

スケジューリング情報の切替構成を示すブロック図

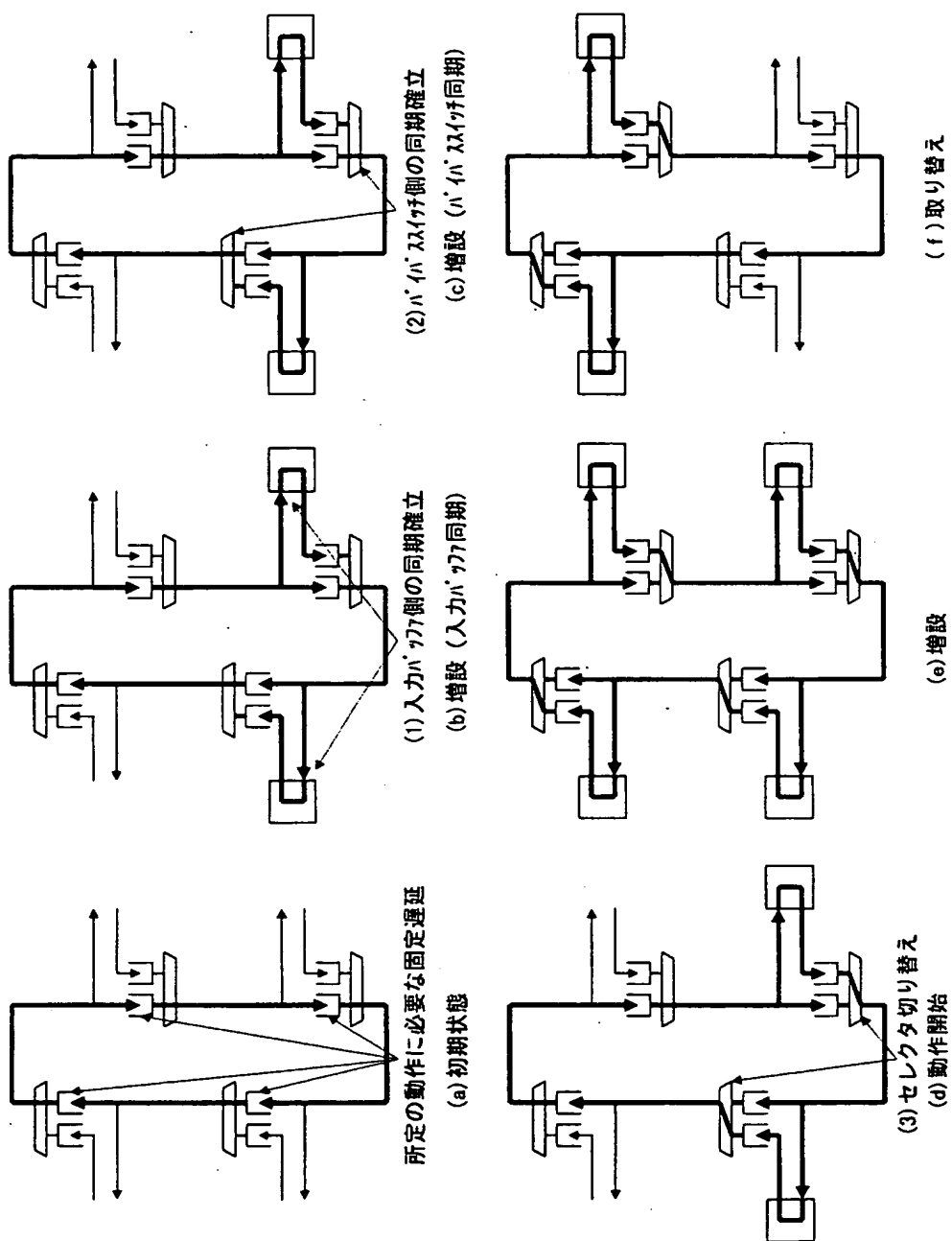


【図 2 2】



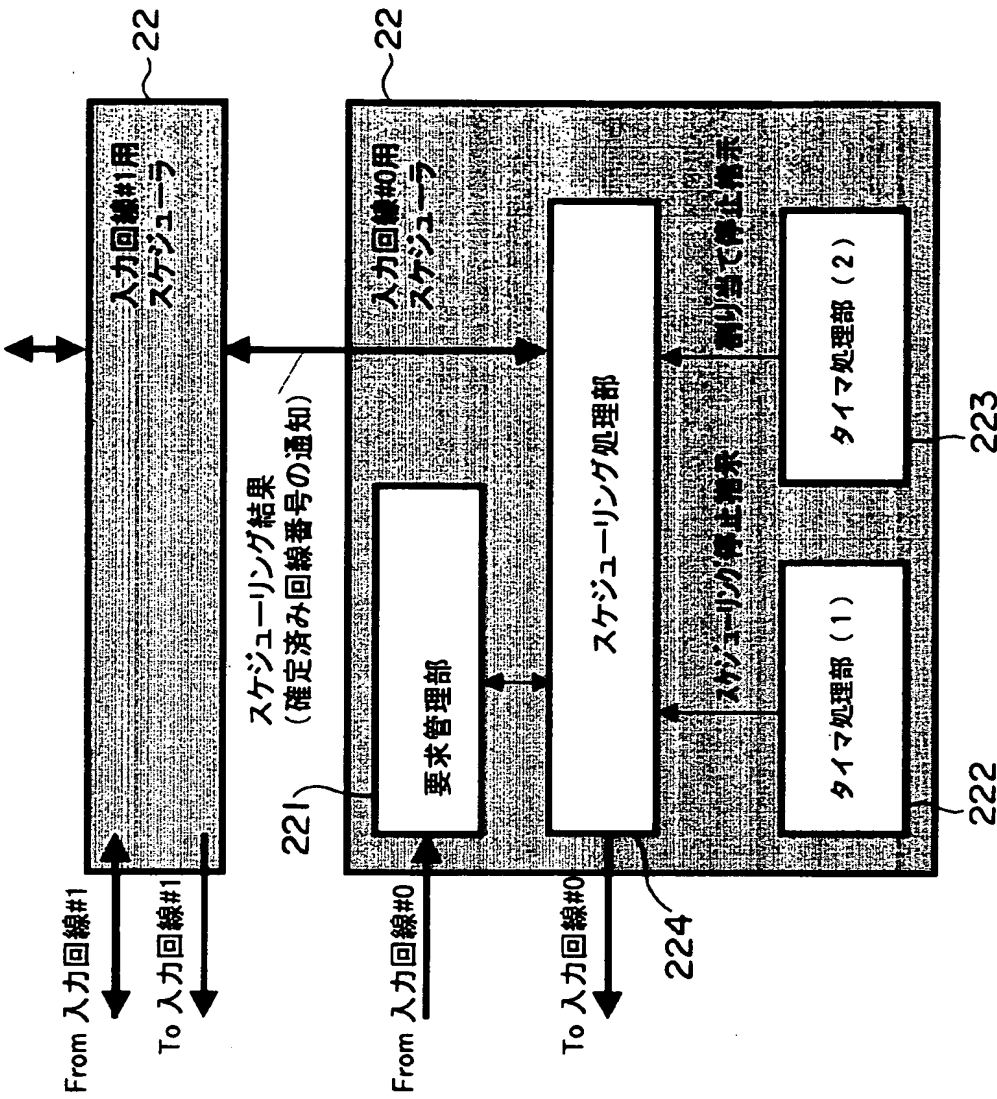
【図 2 3】

バイパススイッチの動作例を示すブロック図



【図 2 4】

第1のスケジューラの構成を示すブロック図



書込動作を説明するための図

```

--アドレス獲得
if INI_CNT < MAX      --アドレス生成カウンタより獲得
    INI_CNT ++
    W_ADR = INT_CNT
else
    --空きアドレスFIFOより獲得
    W_ADR = EMP_S_PNT
    EMP_S_PNT = LINK(EMP_S_PNT)
endif
--ポインタ・リンク更新
if CNT_L(BUF) = 0      --セルバッファが空の時の処理
    S_PNT(BUF) = W_ADR
    E_PNT(BUF) = W_ADR
else
    --セルバッファが空でないの時の処理
    LINK(E_PNT(BUF)) = W_ADR
    E_PNT(BUF) = W_ADR
endif
--カウンタ更新
CNT_L(BUF) ++
CNT_S(QOS) ++
--バッファアドレス更新
BUF_A(W_ADR) <= W_ADR

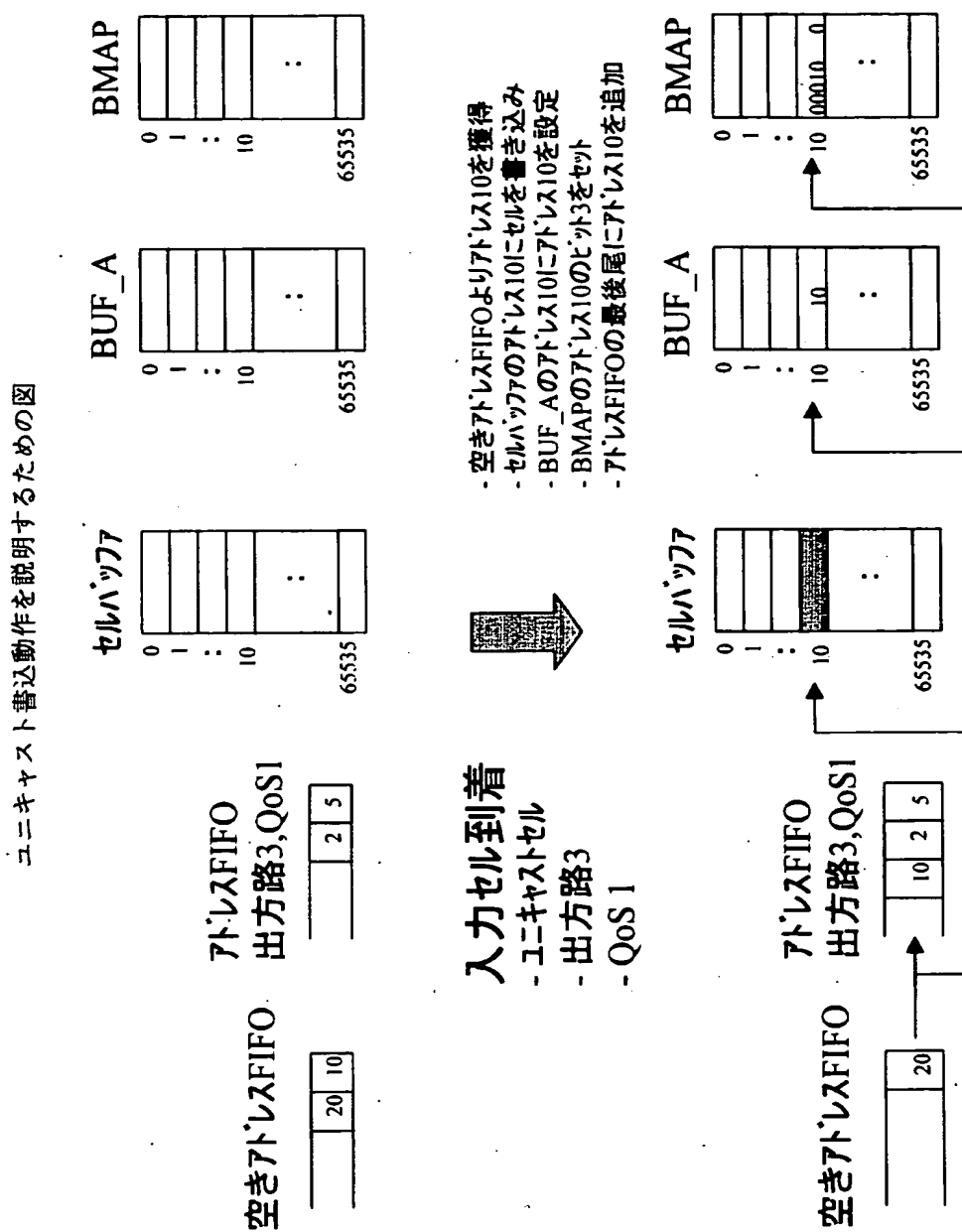
--ビットマップ更新
if CELL(M) = 0          --ユニキャストセルの時
    BMAP(W_ADR) <= BITMAP(CELL(UC-TAG))
else
    --マルチキャストセルの時
    BMAP(W_ADR) <= CELL(MC-TAG)
endif

```

INI_CNT: 初期アドレス生成カウンタ
 MAX: 使用バッファ長
 W_ADR: 書き込みアドレス
 EMP_S_PNT: 空きアドレスFIFO STARTポインタ
 LINK(x): アドレスxにリンクされるアドレス
 CNT_L(x): バッファxの個別バッファキュー長
 CNT_M(x): QoSクラスxのマルチキャストバッファキュー長
 CNT_S(x): QoSクラスx共通バッファキュー長
 S_PNT(x): バッファxのSTARTポインタ
 E_PNT(x): バッファxのENDポインタ
 BUF_A(x): アドレスxのバッファアドレス
 CELL(x): 入力セルのヘッダxの値
 BMAP(x): アドレスxのルーティングヒット(ビットマップ)
 BITMAP(x): コードxをビットマップに変換

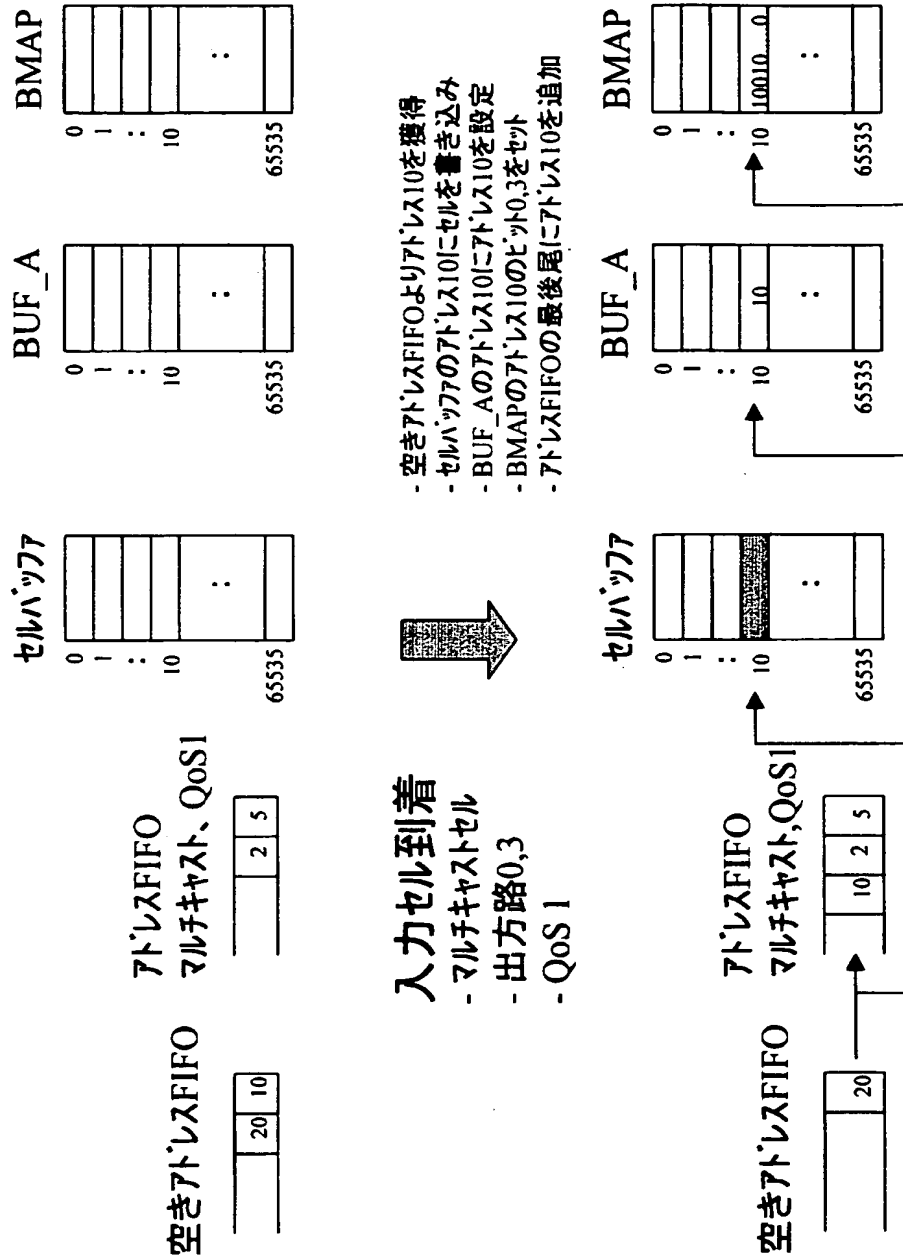
平 1 1 1 2 3 5 5 9 6

【图 2 6】



【図 2 7】

マルチキャスト書込動作を説明するための図



マルチキャッシュ動作を説明するための図

```

-- アドレス獲得
if MC_TOP_E = 0      -- マルチキャッシュセル目の場合
-- MC関連レジスタ更新
    MC_TOP = S_PNT(MC_QOS)
    MC_TOP_E = 1
    MC_ADD = MC_TOP
    MC_BMAP = BMAP(MC_TOP)
-- ポインタ更新
    S_PNT(MC_QOS) = LINK(MC_TOP)
-- カウンタ更新
    CNT_M(MC_QOS) --

else
    -- マルチキャッシュ2セル目以降の場合
    if INI_CNT < MAX  -- アドレス生成カウンタより獲得
        INI_CNT ++
        MC_ADD = INT CNT
    else
        -- 空きアドレスFIFOより獲得
        if ADR_VAL = 1 -- 空きアドレスFIFOが空でない場合
            MC_ADD = EMP_S_PNT
            EMP_S_PNT = LINK(EMP_S_PNT)
        else
            -- 空きアドレスFIFOが空の場合
            STOP MC OPERATION
        endif
    endif
-- カウンタ更新
    CNT_S(MC_QOS) ++
endif

```

MC_TOP_E: マルチキャッシュ先頭アドレス有効
MC_TOP: マルチキャッシュ先頭アドレス
MC_QOS: マルチキャッシュセルのQoS番号
MC_ADD: マルチキャッシュ追加アドレス
MC_BMAP: マルチキャッシュ残ルーティングビット(ビットマップ)
BMAP(x): アドレスxのルーティングビット(ビットマップ)
S_PNT(x): バッファxのSTARTポインタ
E_PNT(x): バッファxのENDポインタ
EMP_S_PNT: 空きアドレスFIFO STARTポインタ
LINK(x): アドレスxにリンクされるアドレス
CNT_M(x): QoSクラスxのマルチキャッシュバッファキュー長
CNT_S(x): QoSクラスx共通バッファキュー長
INI_CNT: 初期アドレス生成カウンタ
MAX: 使用バッファ長
ADR_VAL: 空きアドレス有効

【図 2 9】

マルチキャスト動作を説明するための図

```

-- ポインタ更新
LINE = TOP(MC_BMAP)
BUF = LINE x 4 + MC_QOS
if CNT_L(BUF) = 0 --セルハッファが空の時の処理
    S_PNT(BUF) = MC_ADD
    E_PNT(BUF) = MC_ADD
else --セルハッファが空でないの時の処理
    LINK(E_PNT(BUF)) = MC_ADD
    E_PNT(BUF) = MC_ADD
endif

-- カウンタ更新
CNT_L(BUF) ++
-- ハッファアドレス保持
BUF_A(MC_ADD) = MC_TOP

-- ビットマップ更新
MC_BMAP -= BITMAP(LINE)
if MC_BMAP = 0 -- マルチキャスト終了判定
    MC_TOP_E = 0
endif

```

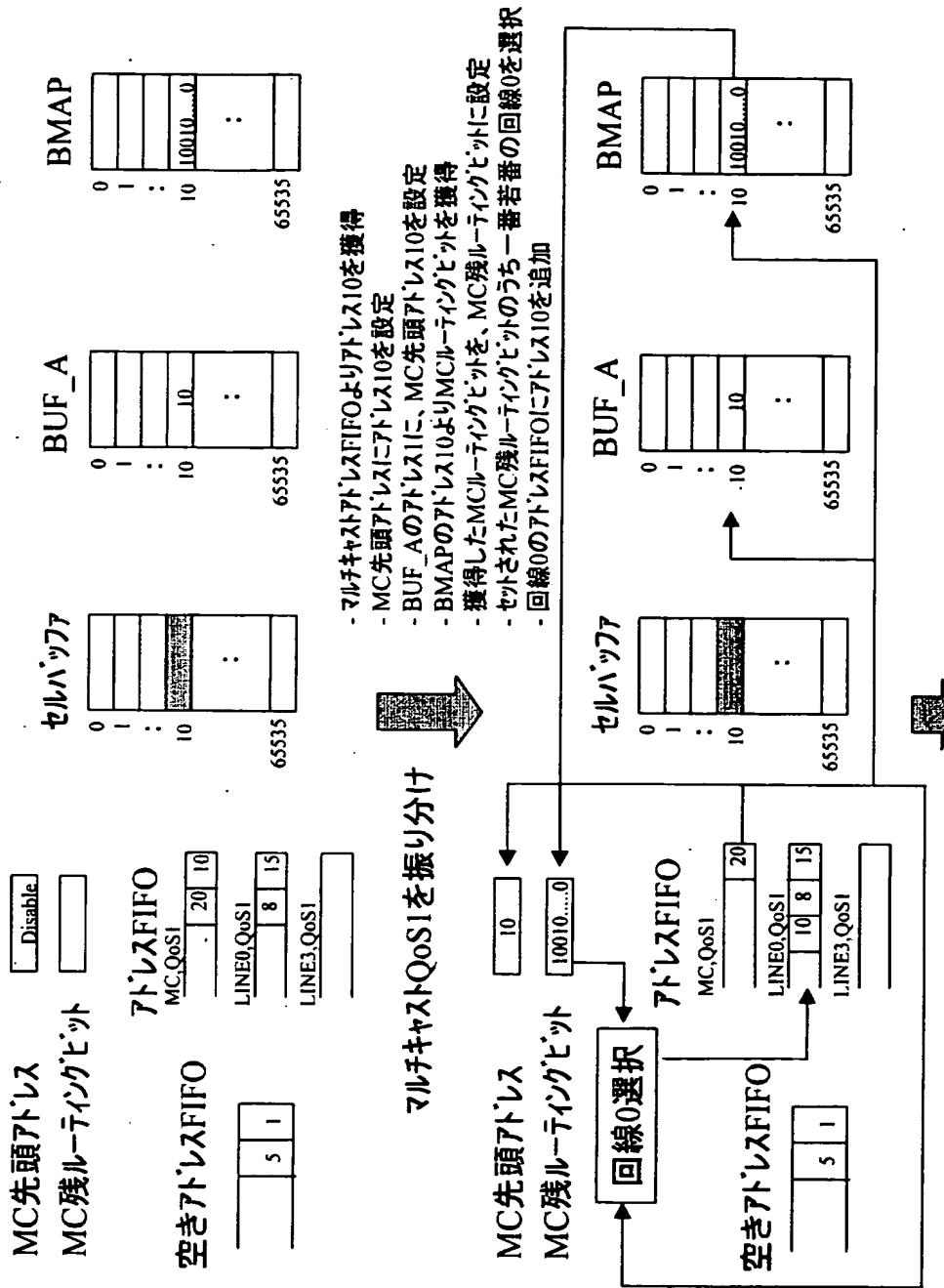
ビット列xのうち、0ビット目からみて最初に
1が立っているビット番号を返す

振り分け出力路番号
振り分けハッファ番号
QoSクラスxの個別ハッファキュー長
ハッファxのSTARTポインタ
ハッファxのENDポインタ
マルチキャスト追加アドレス
アドレスxにリンクされるアドレス
アドレスxのハッファアドレス
マルチキャスト先頭アドレス
マルチキャスト残ルーティングビット(ビットマップ)
コードxをビットマップに変換
マルチキャスト先頭アドレス有効

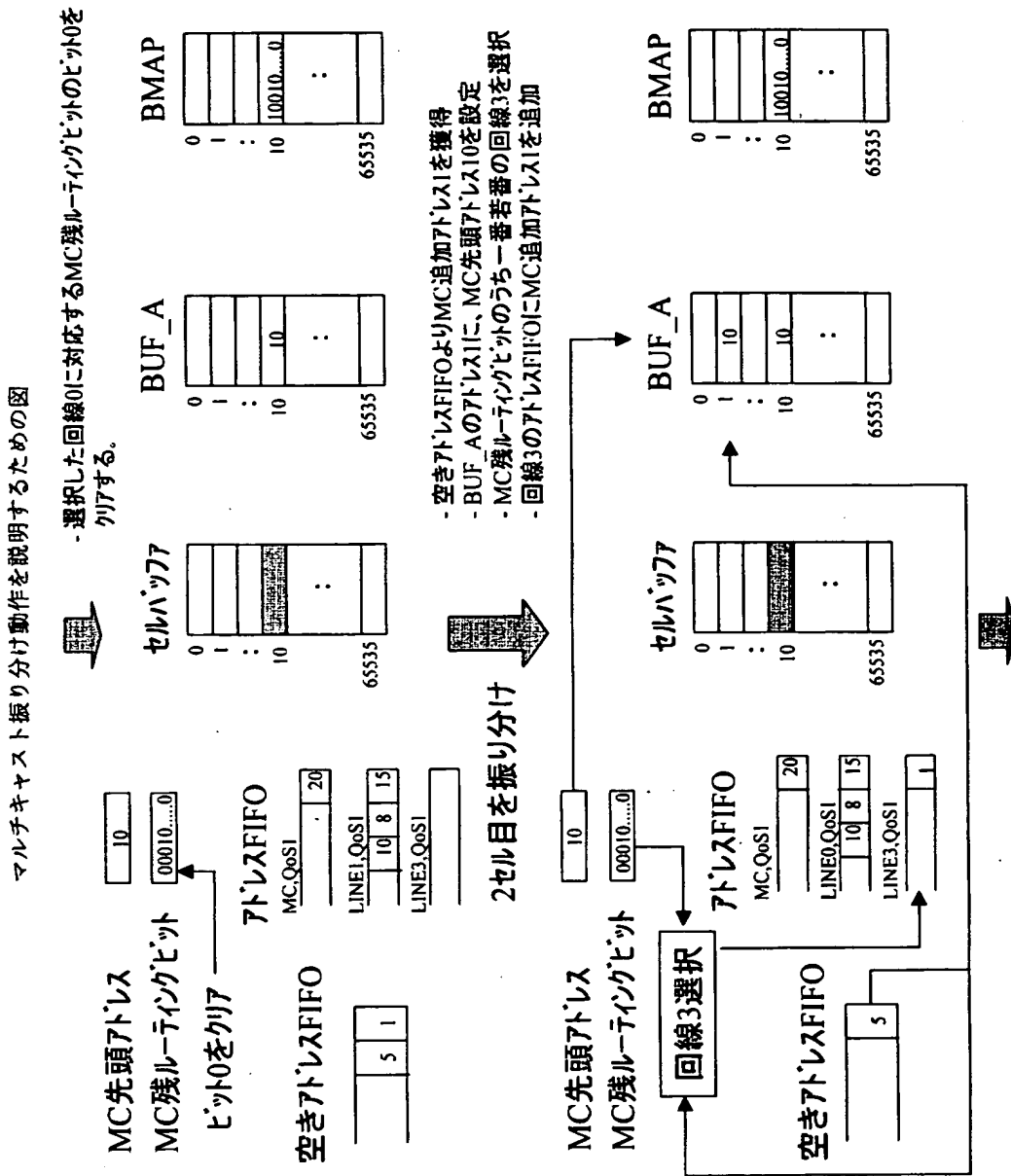
TOP(x):
LINE:
BUF:
CNT_L(x):
S_PNT(x):
E_PNT(x):
MC_ADD:
LINK(x):
BUF_A(x):
MC_TOP:
MC_BMAP:
BITMAP(x):
MC_TOP_E:

【図 3 0】

マルチキャスト振り分け動作を説明するための図



【図 3 1】

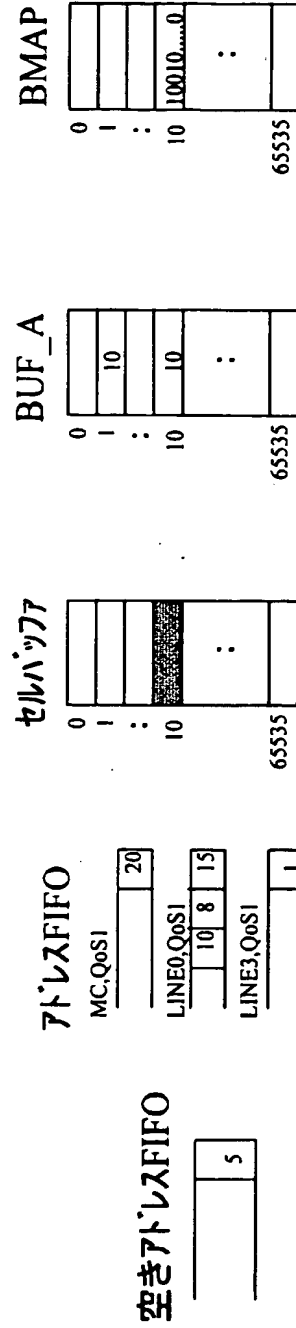
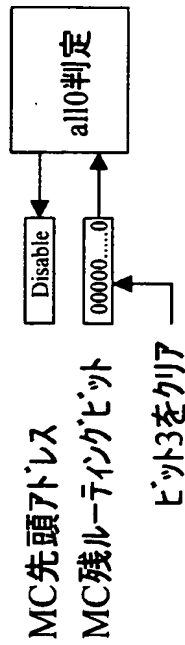


【図 3 2】

マルチキャスト振り分け動作を説明するための図

↑

- 選択した回線3に対応するMC残ルーティングビットのビット3を
クリアする。
=> all0なので、アドレス10に対するマルチキャストを終了



【図 3 3】

読出動作を説明するための図

```

--アドレス獲得
BUF = LINE x 4 + QOS
R_ADR = S_PNT(BUF)
BUF_ADR = BUF_A(R_ADR)
--ビットマップ獲得
BMAP = BMAP(BUF_ADR)

--読み出しアドレス返却判定
if R_ADR <> BUF_ADR
    LINK(EMP_E_PNT) = R_ADR
    EMP_E_PNT = R_ADR
--カウンタ更新
    CNT_S(QOS) --
endif

--ポインタ更新
S_PNT(BUF) = LINK(S_PNT(BUF))

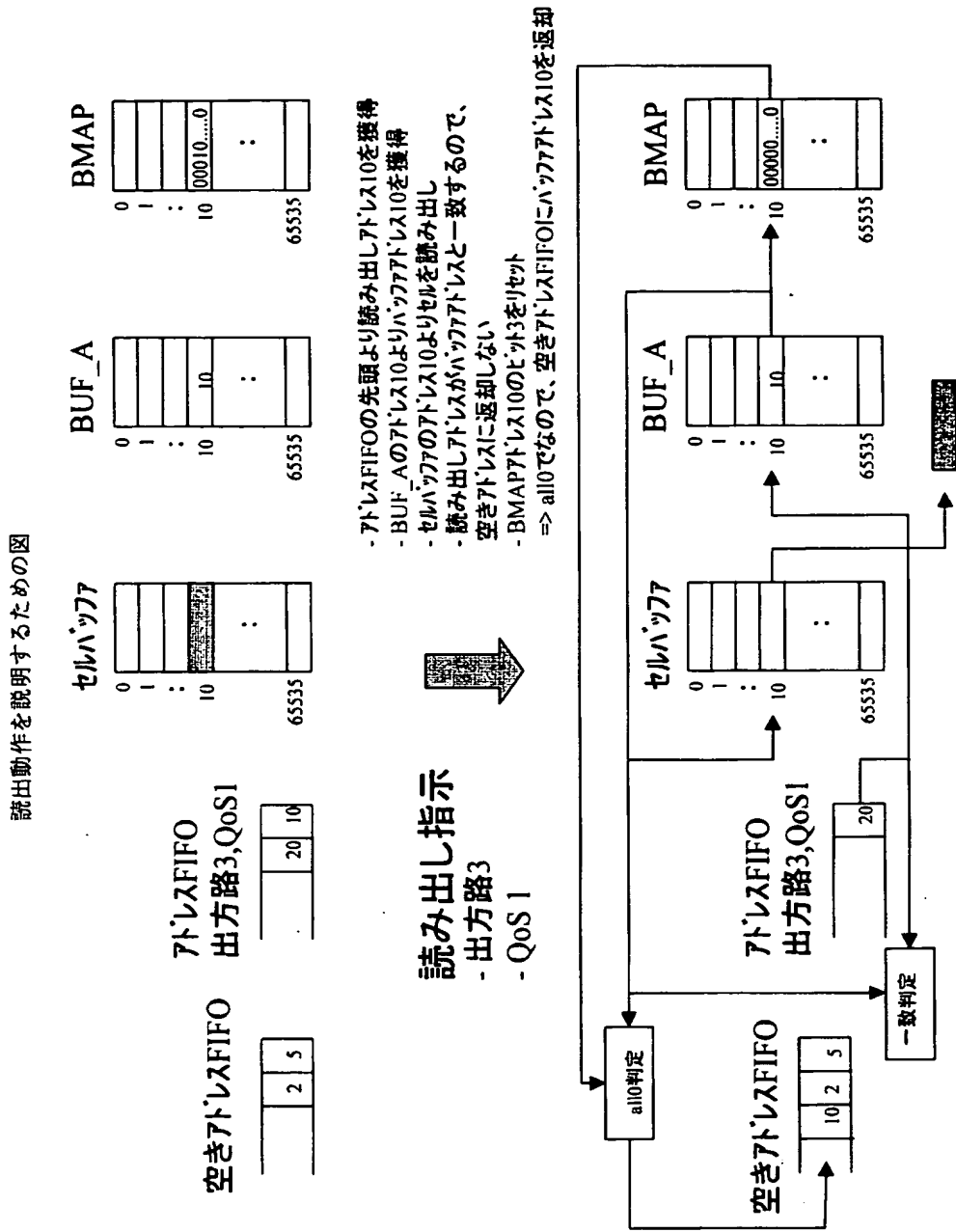
--ビットマップ更新
BMAP == BITMAP(LINE)
if BMAP = 0
    --読み出し終了判定
    --バッファアドレス返却
    LINK(EMP_E_PNT) = BUF_ADR
    EMP_E_PNT = BUF_ADR
--カウンタ更新
    CNT_S(QOS) --
endif

--カウンタ更新
CNT_L(BUF) --

```

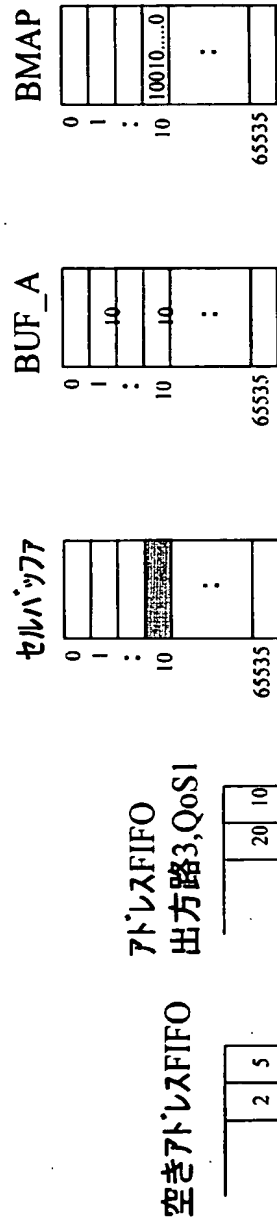
R_ADR: 読み出しみアドレス
S_PNT(x): バッファxのSTARTポインタ
BUF: 読み出しバッファ番号
LINE: 読み出し出方路番号
QoS: 読み出しQoS番号
BUF_A(x): アドレスxのバッファアドレス
BUF_ADR: 読み出しみアドレスに対応するバッファアドレス
BMAP(x): アドレスxのルーティングビット(ビットマップ)
BMAP: バッファアドレスに対応するルーティングビット(ビットマップ)
LINK(x): アドレスxにリンクされるアドレス
EMP_E_PNT: 空きアドレスFIFO ENDポインタ
CNT_S(x): QoSクラス共通バッファキュー長
CNT_L(x): QoSクラスxの個別バッファキュー長
BITMAP(x): コードxをビットマップに変換

【図 3 4】



【図 3 5】

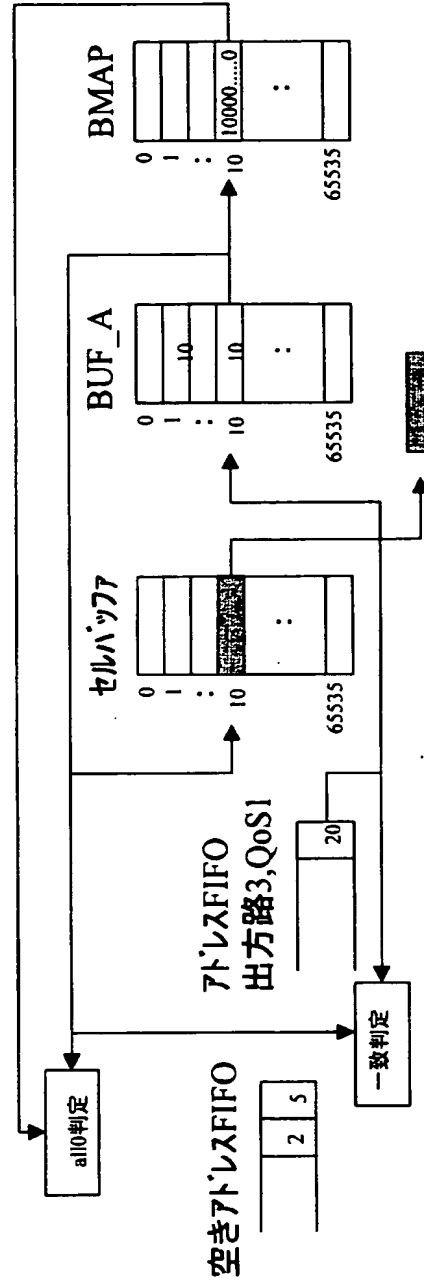
読出動作を説明するための図



読み出し指示

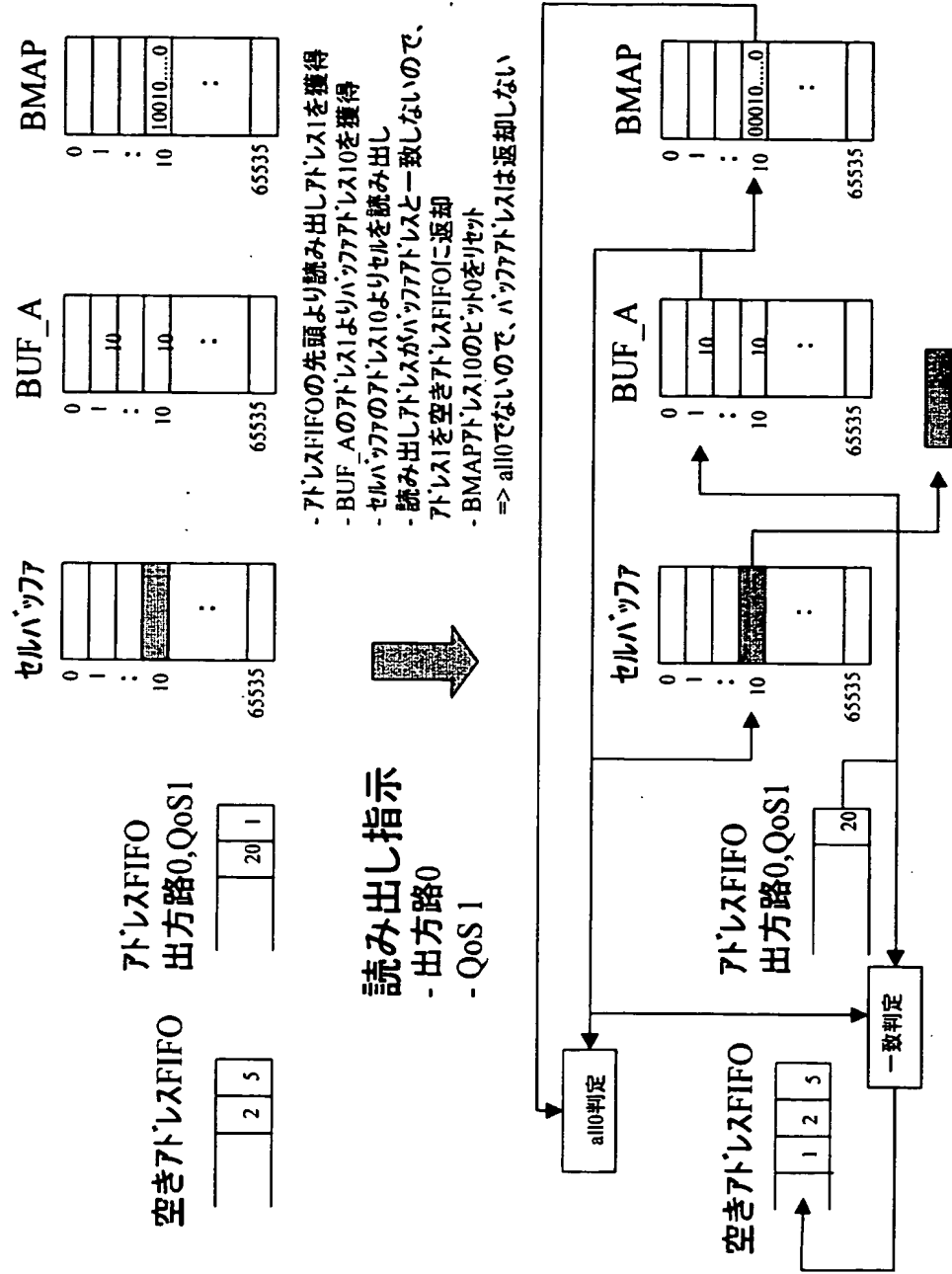
- 出方路3
- QoS 1

- アドレスFIFOの先頭より読み出しアドレス10を獲得
- BUF_Aのアドレス10よりバッファアドレス10を獲得
- セルバッファのアドレス10よりセルを読み出し
- 読み出しアドレスがバッファアドレスと一致するので、空きアドレスに返却しない
- BMAPアドレス10のビット3をリセット
- => all0でないので、バッファアドレスは返却しない



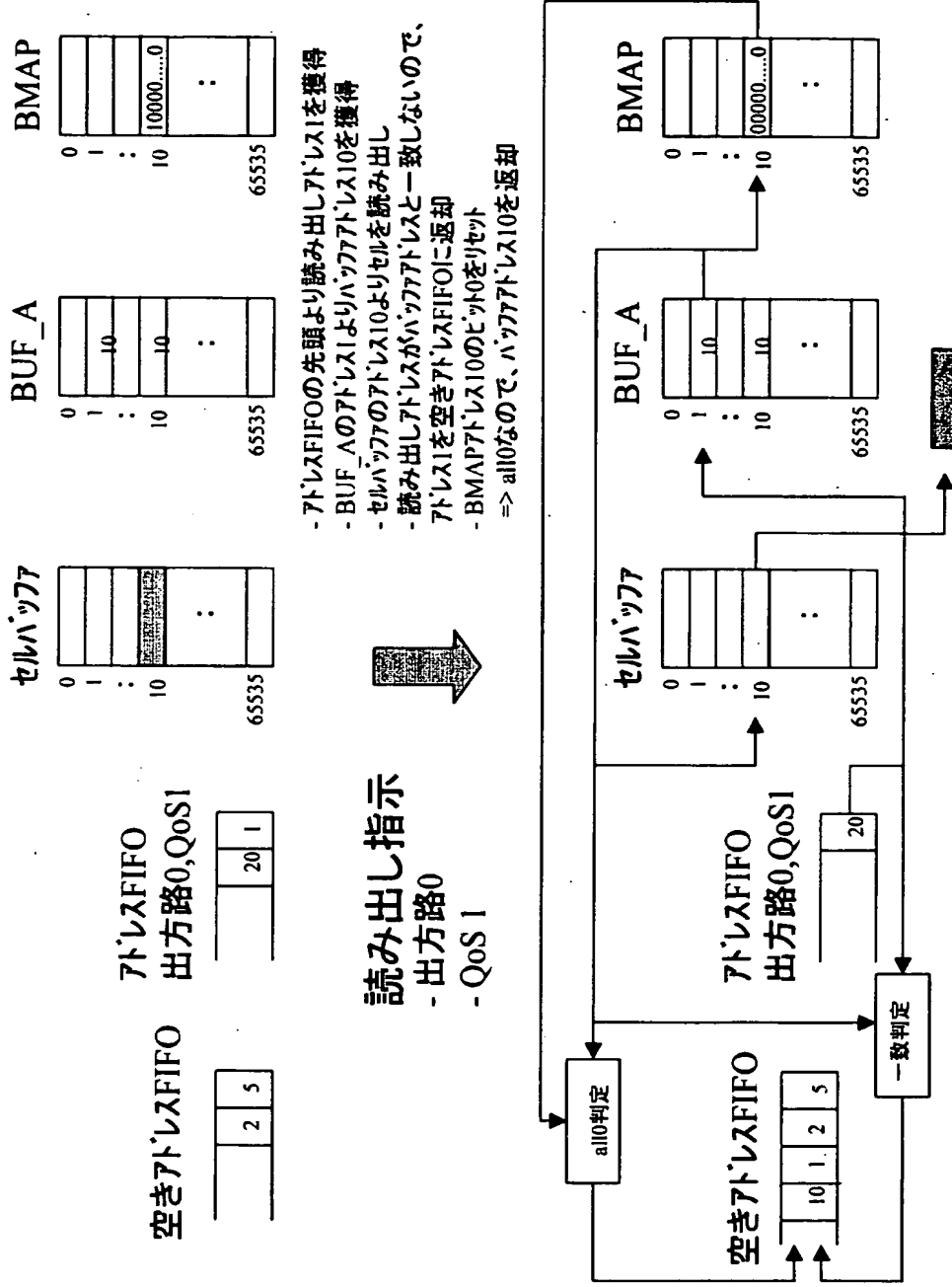
【図 3 6】

読出動作を説明するための図



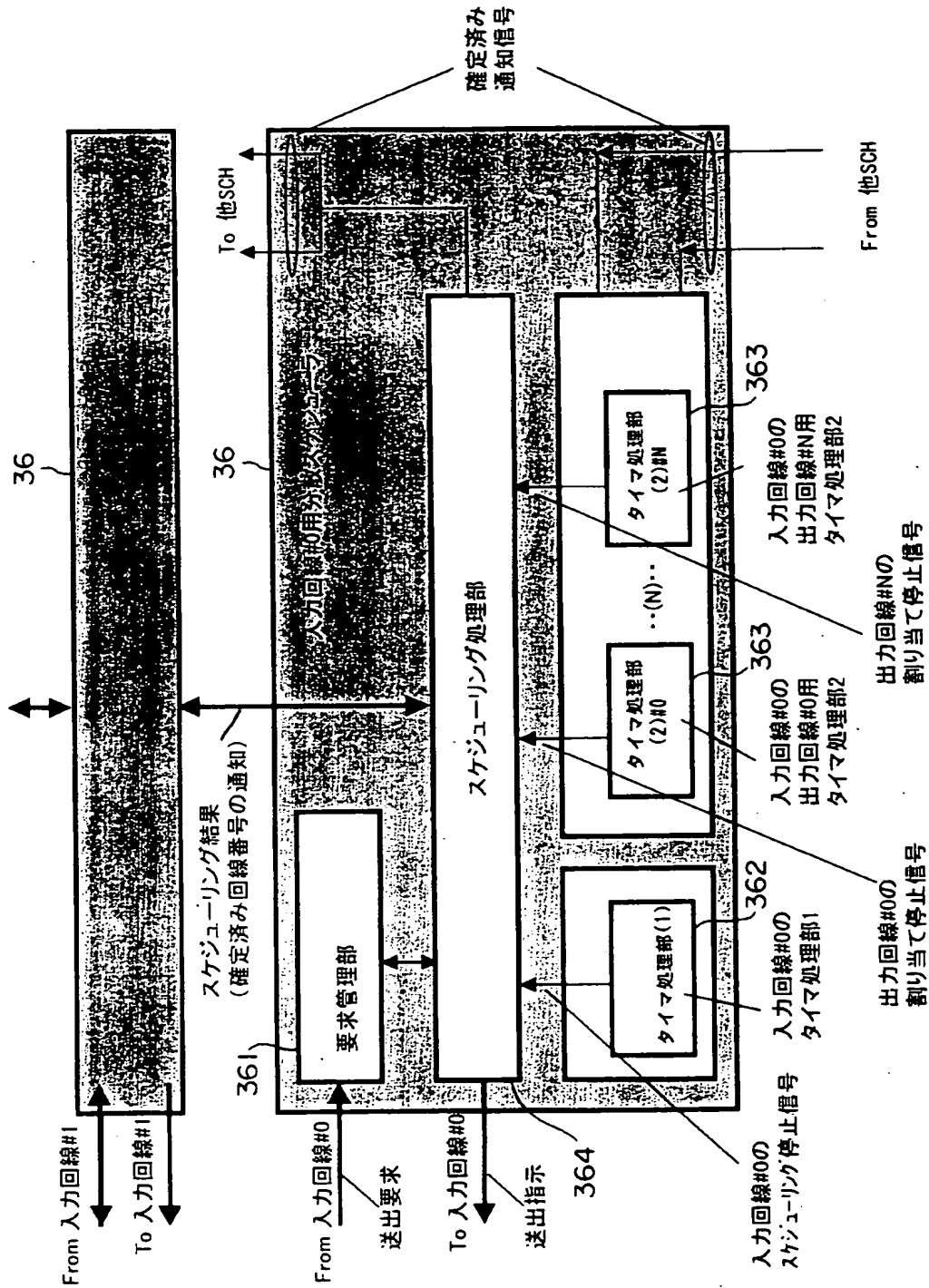
【図 3 7】

読出動作を説明するための図



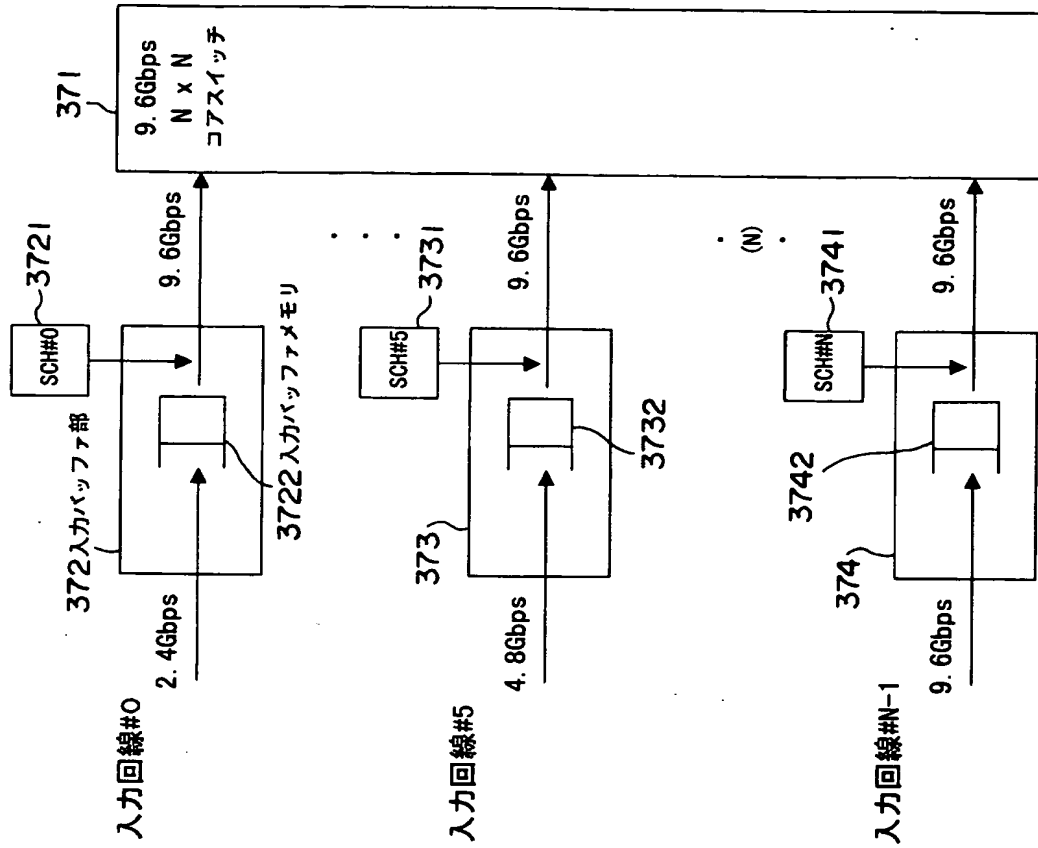
【図 3 8】

第 2 のスケジューラの構成を示すブロック図



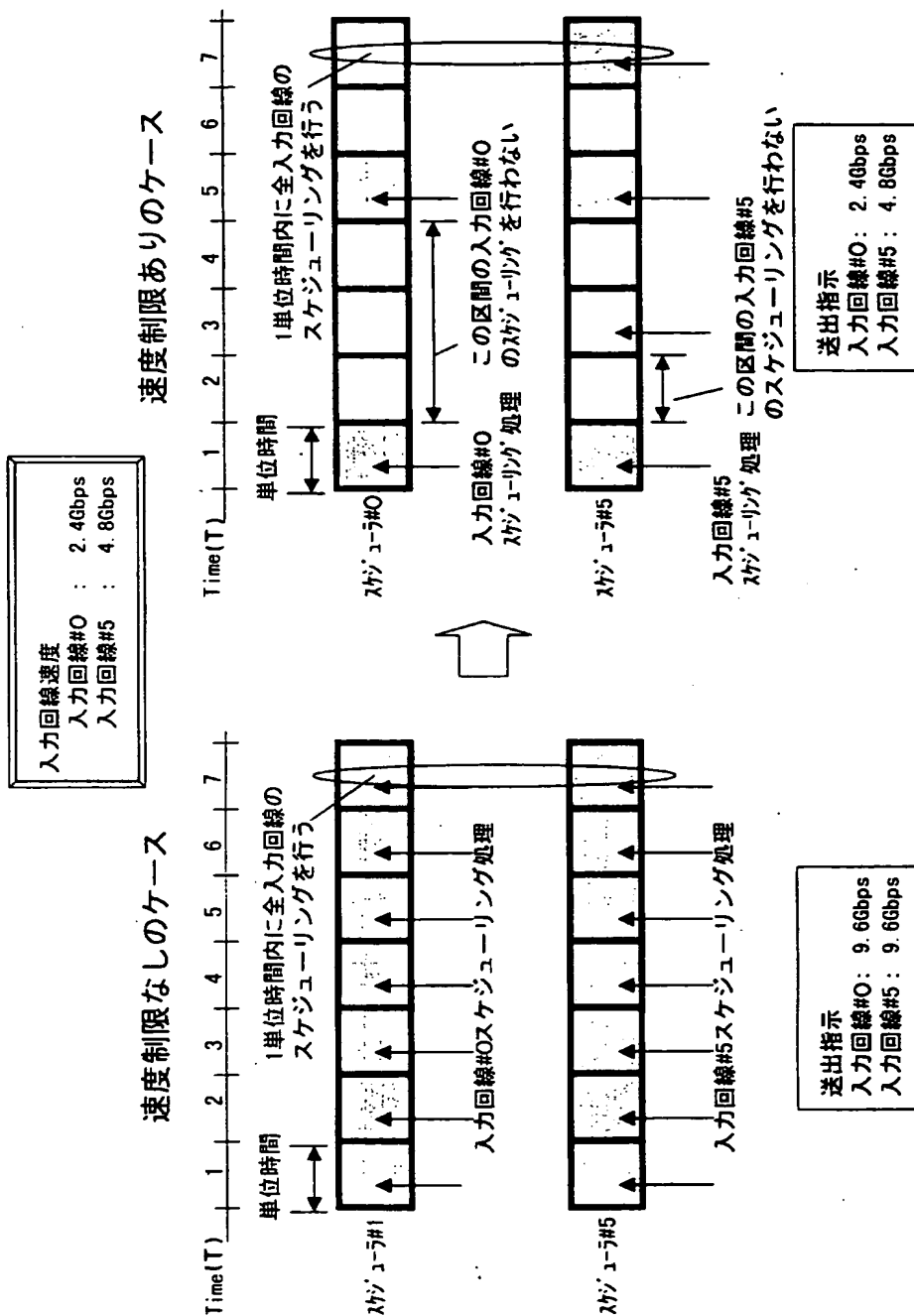
【図 3 9】

入力バッファ部の処理能力の問題を説明するための図



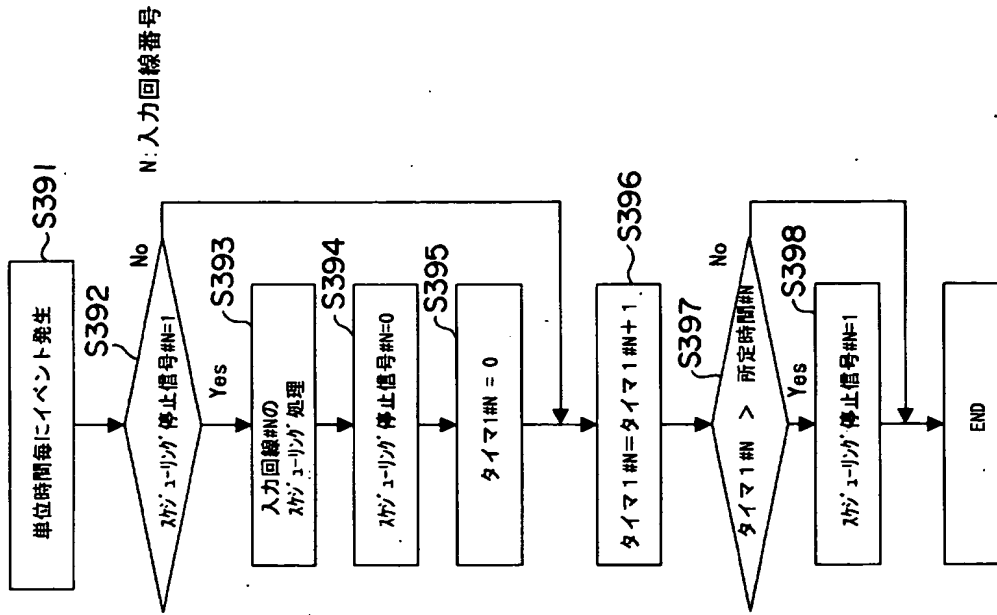
【図 4 0】

入力回線速度に応じたスケジューリング処理を説明するための図



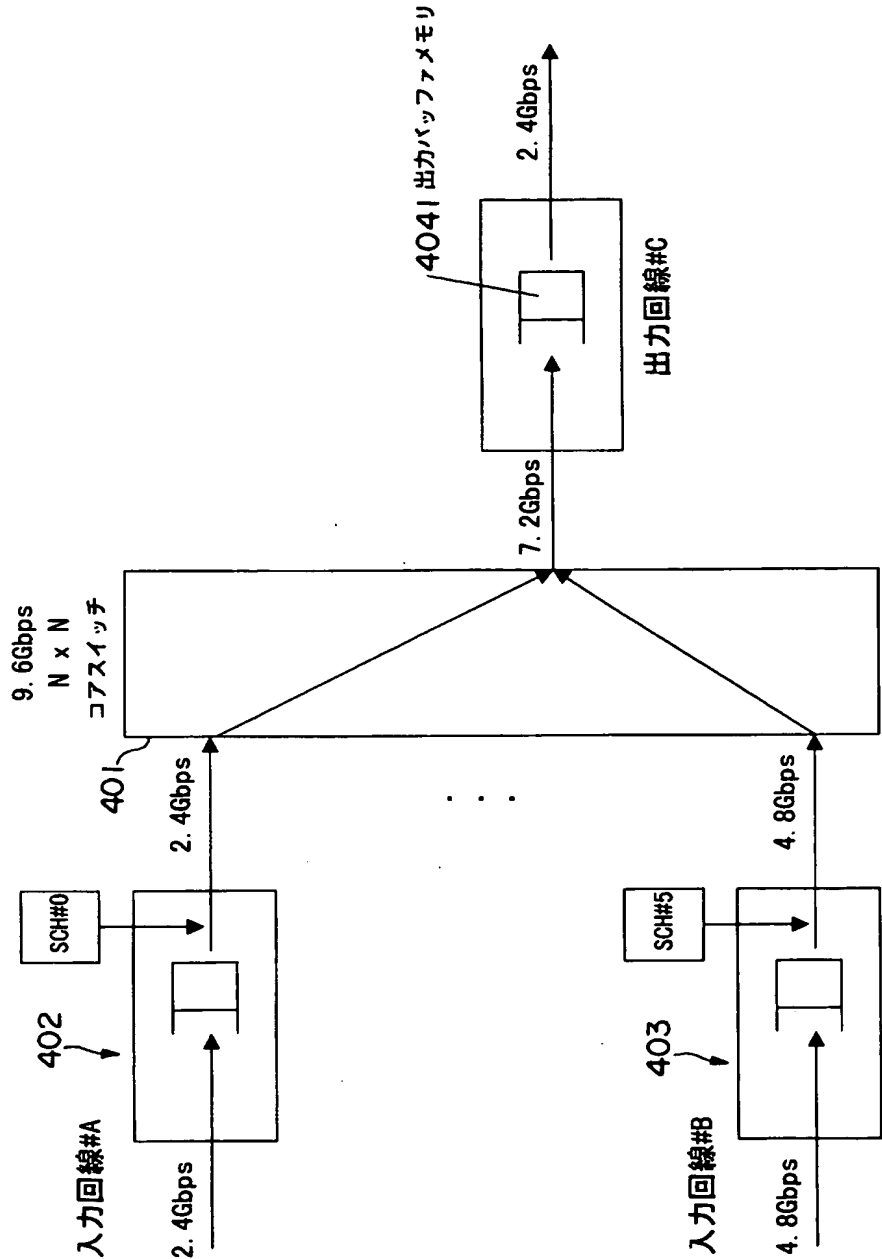
【図 4 1】

入力回線速度に応じたスケジューリング処理手順を説明するための図



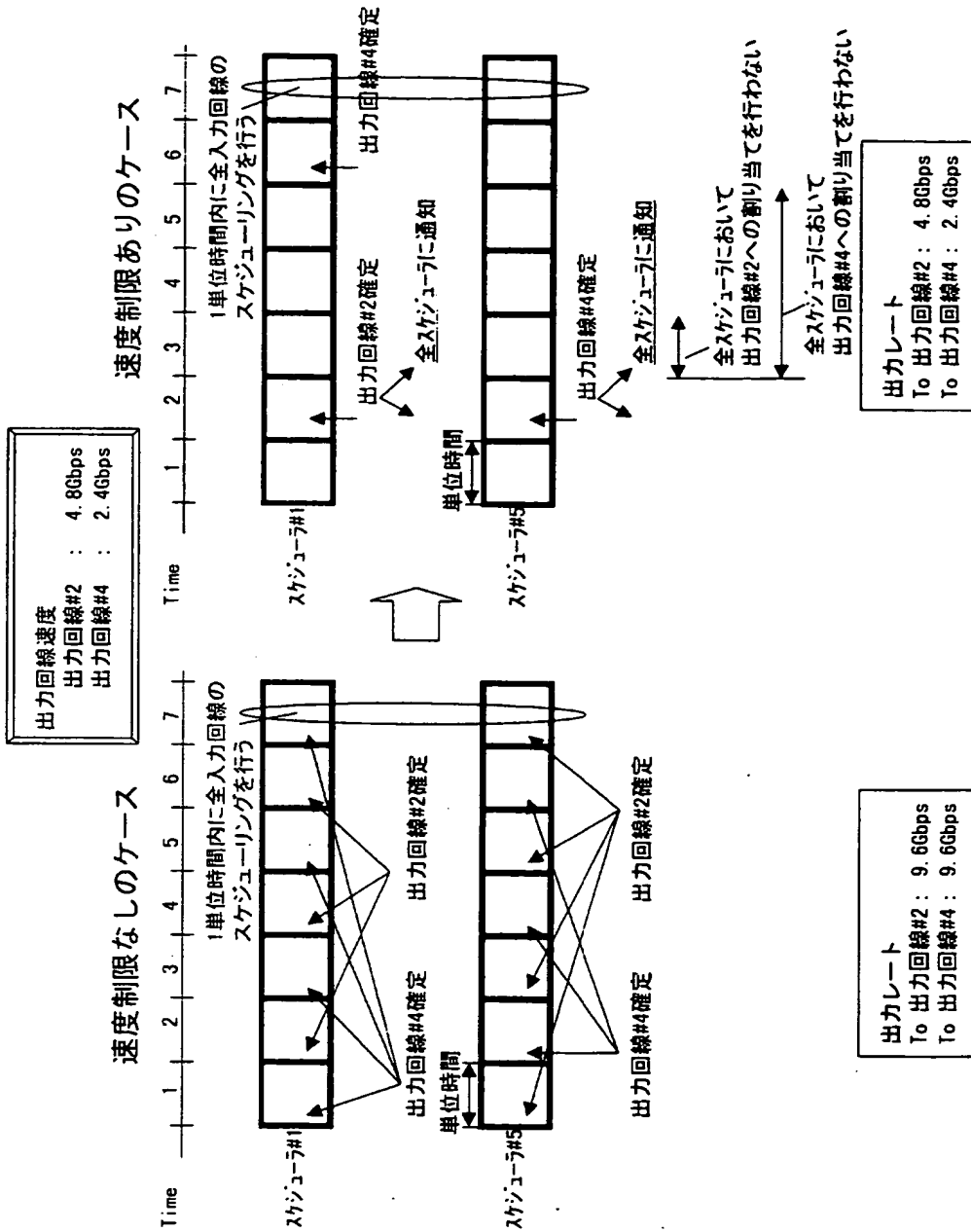
【図 4 2】

出力トラヒック流の問題を説明するための図



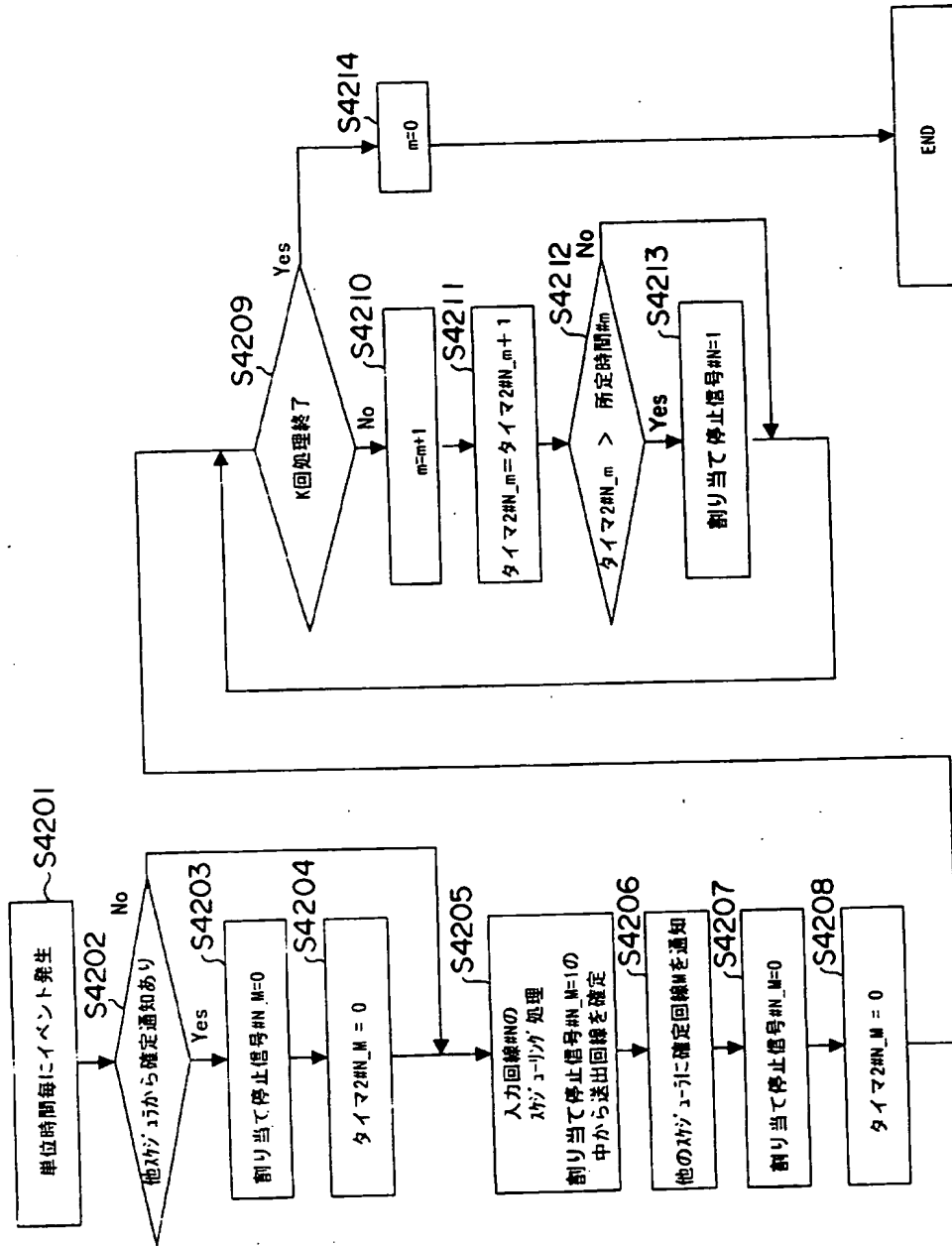
【図 4 3】

出力回線速度に応じたスケジューリング処理を説明するための図

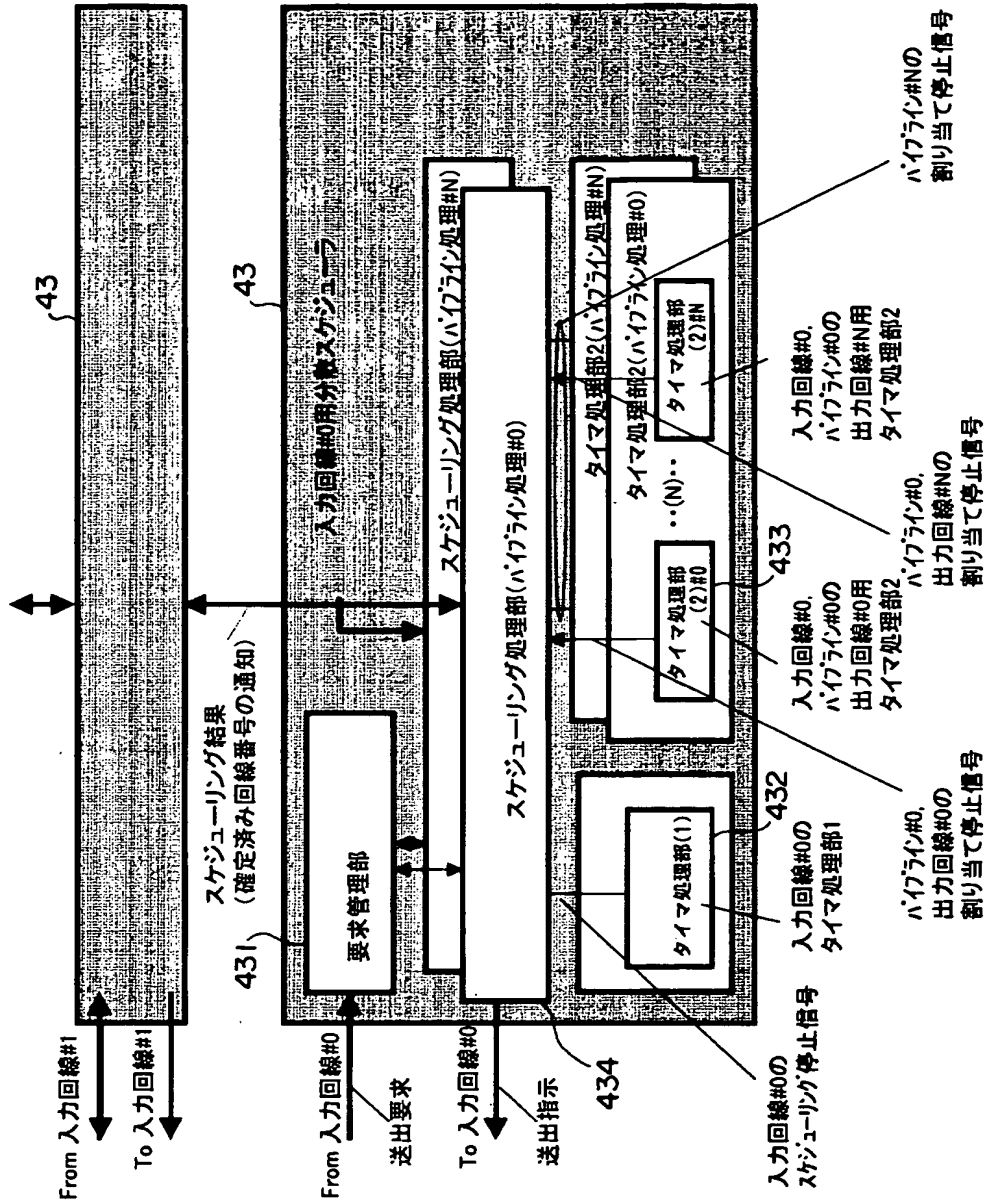


【図 4 4】

出力回線速度に応じたスケジューリング処理手順を説明するための図

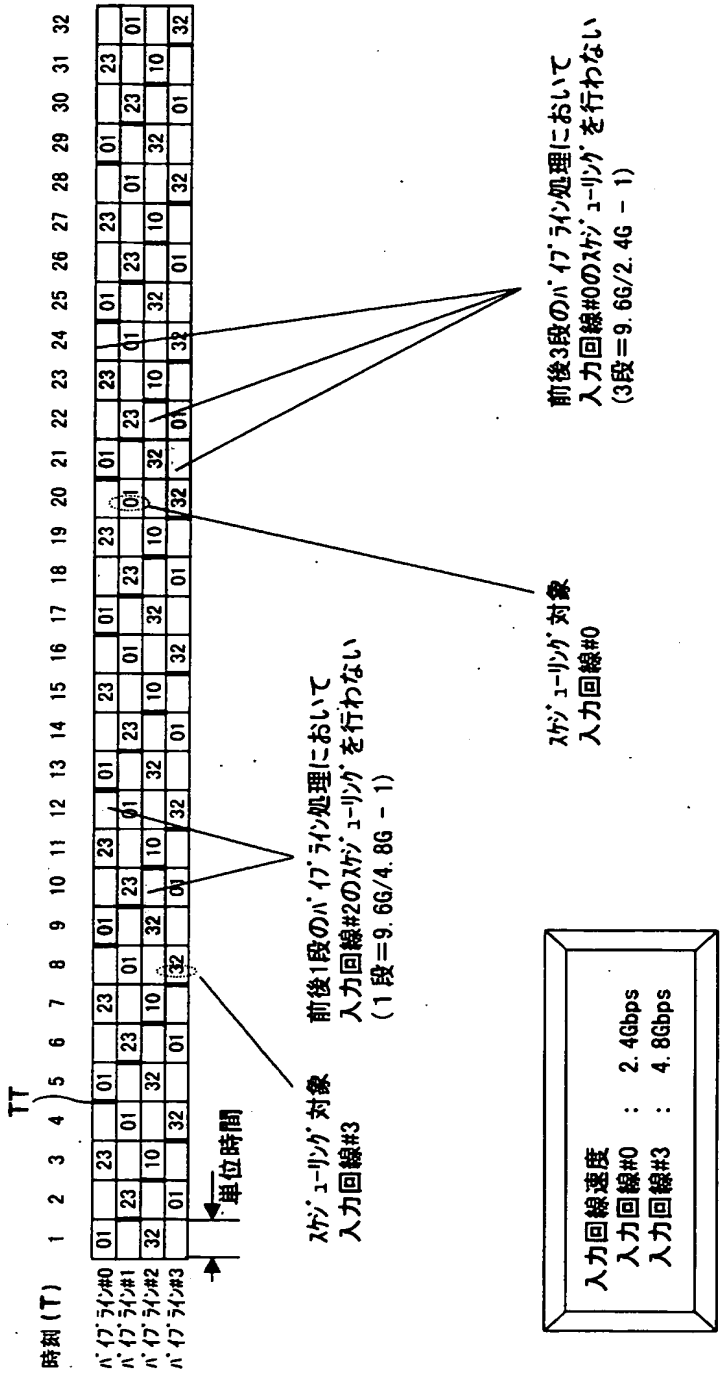


【図 4 5】



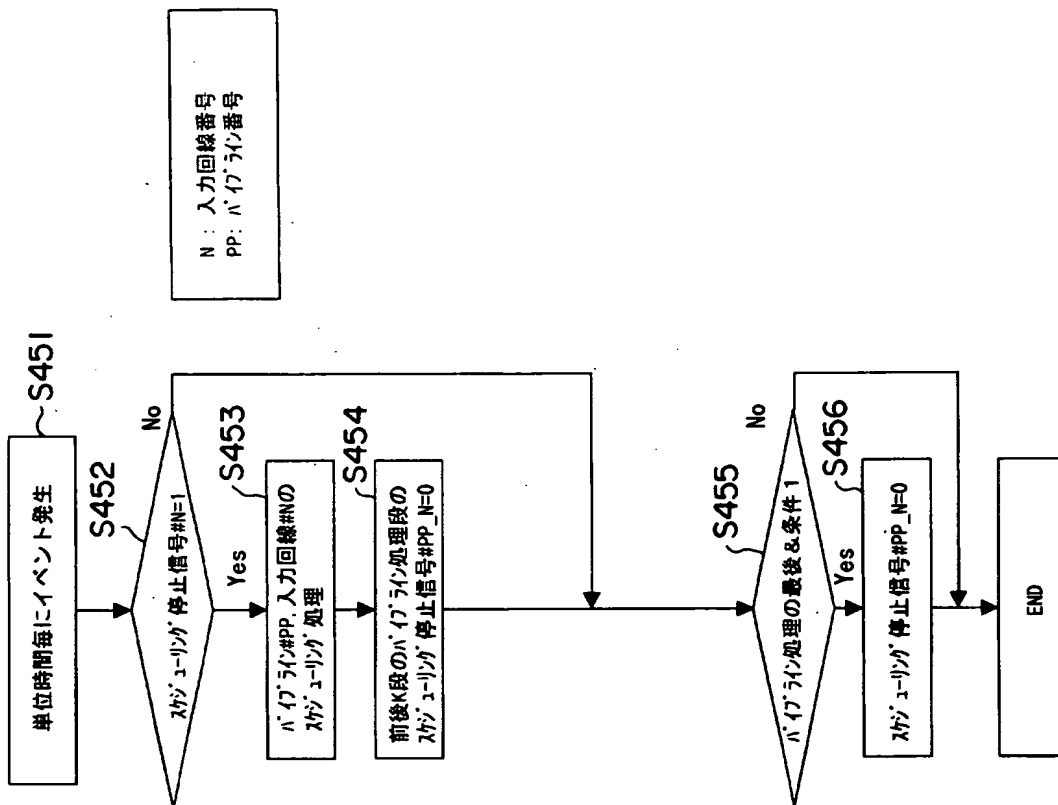
【図 4 6】

入力回線速度に応じたスケジューリング処理を説明するための図



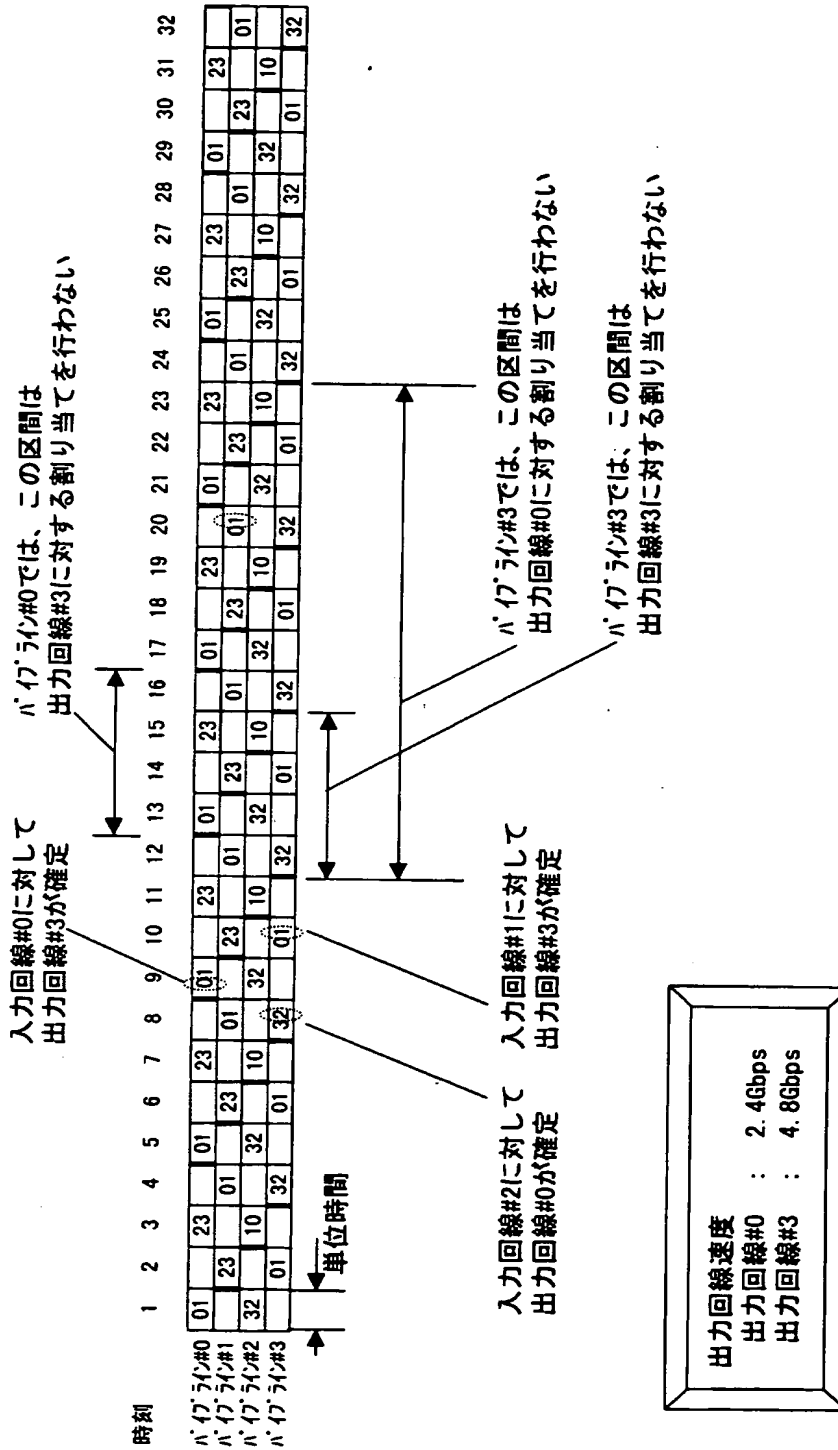
【図 4 7】

入力回線速度に応じたスケジューリング処理手順を説明するための図



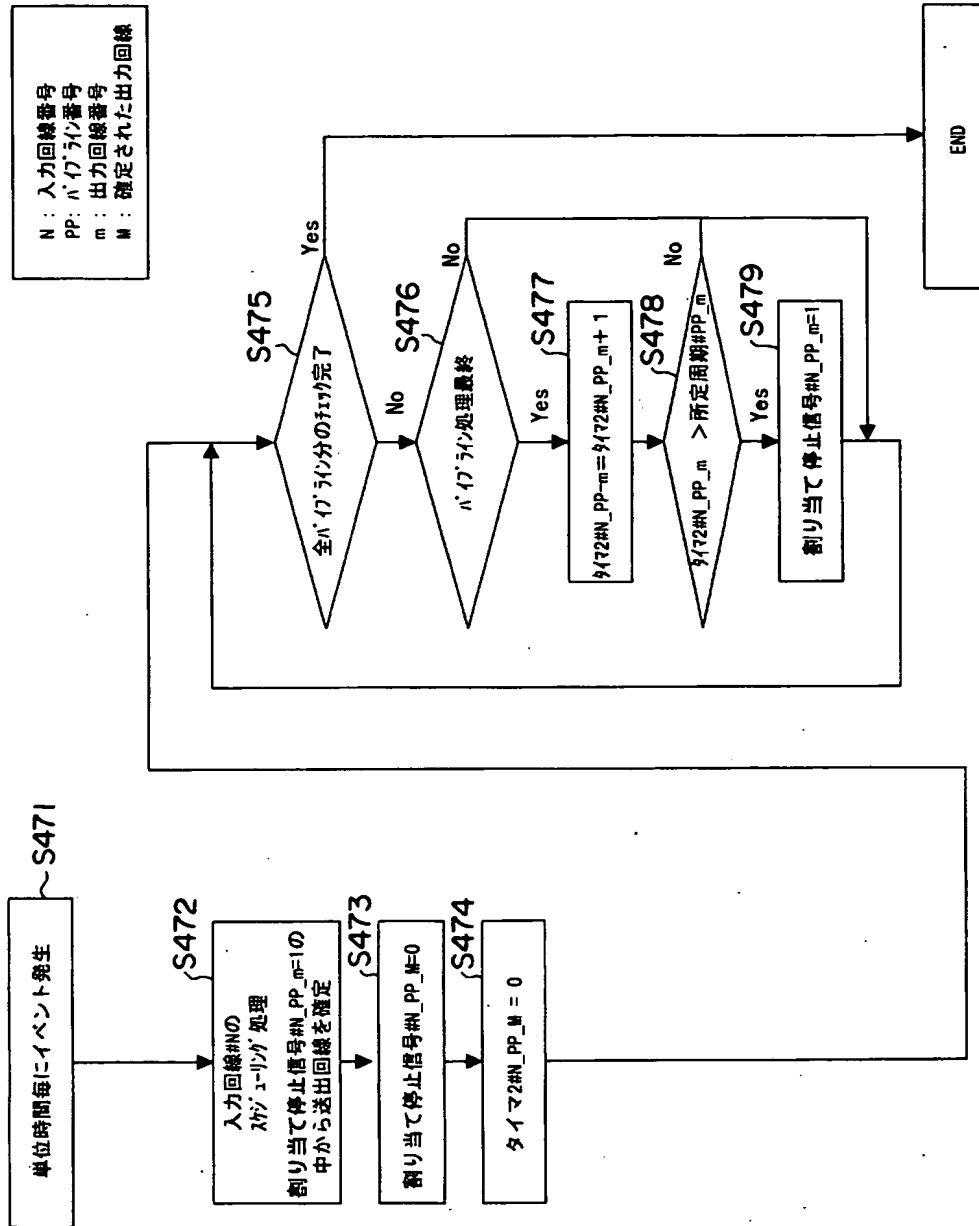
【図 4 8】

出力回線速度に応じたスケジューリング処理を説明するための図



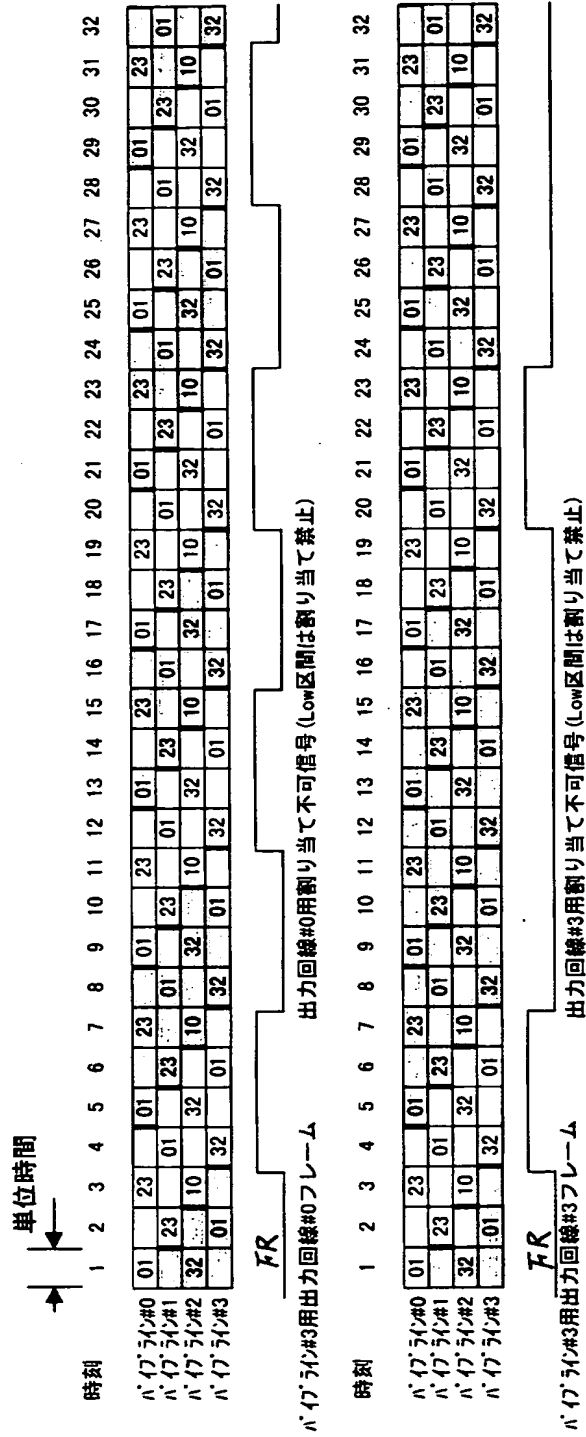
【図 4 9】

出力回線速度に応じたスケジューリング処理手順を説明するための図

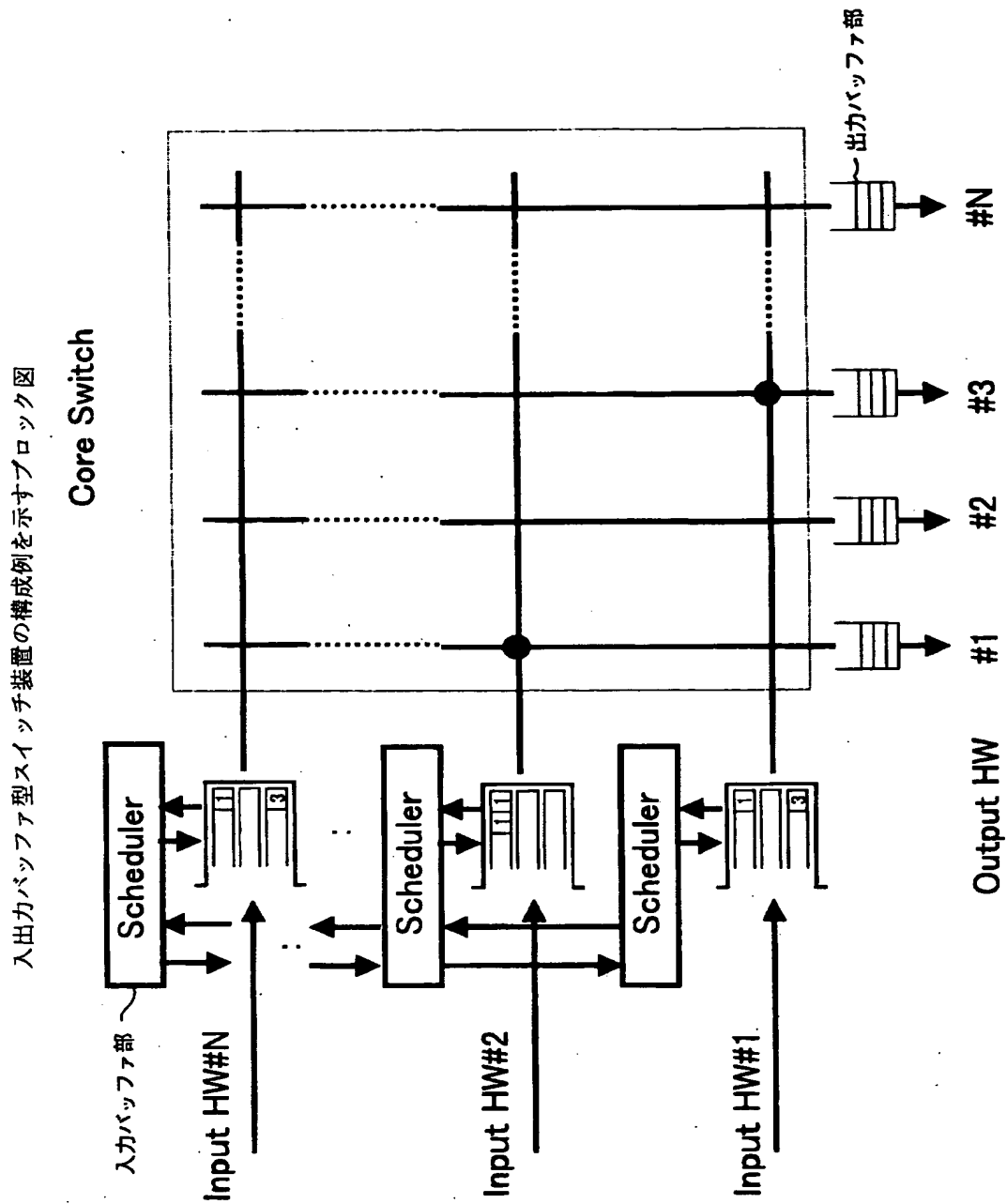


【図 5 0】

第 4 のスケジューラにおける出力回線速度に応じたスケジューリング処理を説明するための図



【図 5 1】



【書類名】 要約書

【要約】

【課題】 メモリアドレスをブロック単位で管理し、ブロック内の個別のアドレスは書き込み時または読み出し時にキュー毎に与えることでメモリ量を削減するなど。

【解決手段】 パケットスイッチ装置は、出力回線対応の論理的なキューを有する入力バッファメモリ手段と、スケジューリング開始入力回線を示す第 1 のポインタの制御手段と、スケジューリング対象回線のスケジューリング開始出力回線を示す第 2 のポインタの制御手段と、所望の出力回線に対する送出要求情報を保持する要求管理制御手段と、複数の送出要求情報の中から前記第 2 のポインタが示す出力回線から検索を開始し、他の入力回線に確保されていない出力回線を選択するスケジューリング処理手段と、複数の固定長パケットを一時的に保持し順次に出力量するパケットバッファメモリ手段と、前記パケットバッファメモリ手段から出力された固定長パケットをスイッチングするスイッチ手段と、前記パケットバッファメモリ手段のアドレスを複数パケット分の固定長ブロックに分け、アドレス管理をブロック単位に行うアドレス管理手段とを備える。

【選択図】 図 1 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社